

24-Bit Sigma-Delta ADC

Ver2.0

For Bridge Sensor, Pin-Programmable, low Power

XM24+

功能特性

- 集成低雜訊 PGA，放大倍數可選 1，128
- 集成單通道 24 位無失碼的差分輸入 ADC，PGA=128 時 ENOB 為 20 位 P-P 雜訊：10Hz：25nV
- 內部集成 RC 振盪器
- 輸出速率 10Hz
- 集成 2 線 SPI 通訊介面
- INL 小於 0.001%

功能方塊圖

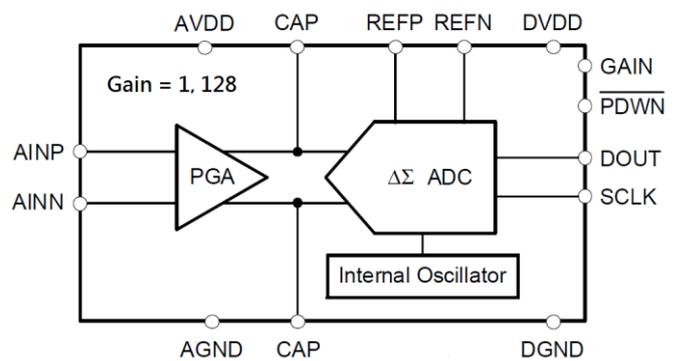


Figure 1.

應用場合

- 電子秤
- 液體/氣體化學分析
- 血液計
- 可攜式設備

Parameter	Gain = 128
Output Data Rate	10 Hz
RMS Noise	28 nV
P-P Resolution	20

Table 1.

概述

XM24+ 是高精度、低功耗模數轉換晶片。其解析度為 24bit，有效解析度可達 23 位。可以廣泛使用在工業控制、量重、壓力、液體/氣體化學分析、血液分析、智慧發送器、便攜測量儀器領域。

XM24+ 是一款高精度、低功耗 Sigma-Delta 模數轉換晶片，內置 1 路 Sigma-Delta ADC。ADC 採用三階 Sigma-Delta 調製器，通過低雜訊儀用放大器結構實現 PGA 放大，放大倍數可選 1，128。在 PGA=128 時，有效解析度可達 20 位。XM24+ 輸出速率 10Hz/80Hz 可選。XM24+ 內置 RC 振盪器。XM24+ 具有待機、斷電等更低功耗模式。

電器規格-1

所有的參數測試在環境溫度-20~85°C, AVDD=5V · DVDD=5V · REFP=5V · REFN=0V 的條件下測試 XM24+
Table 2.

參數	條件	最小值	典型值	最大值	單位
模擬輸入					
滿幅輸入電壓(AINP-AIN)			±0.5VREF/PGA		V
共模輸入電壓	PGA=128	AGND+1.5		AVDD-1.5	V
共模電壓抑制比			120		dB
差分輸入阻抗	PGA=128		>1		GΩ
系統性能					
解析度	無失碼		24		Bits
AD速率	時鐘為4.9152MHz		10		Hz
建立時間	全建立		4		轉換週期
P-P雜訊	PGA=128 · DR=10Hz		145		nv
積分線性度	PGA=128		±2	±3	ppm
失調誤差	PGA=128		-1		uV
失調誤差漂移	PGA=128		25		nv/°C
增益誤差	PGA=128		±0.1		%
增益誤差漂移	PGA=128		±2	±3	ppm/°C
參考電壓輸入					
負參考電壓輸入	REFN	AGND-0.1		AGND+0.6	V
正參考電壓輸入	REFP	REFN +2.5		AVDD+0.1	V
REFP - REFN		2.5	AVDD	AVDD+0.1	V
參考電壓抑制比			54		dB
電源					
類比電源電壓	AVDD	2.8	5	5.5	V
數位電源電壓	DVDD	2.8	5	5.5	V
電源電壓抑制比	PGA=1、128		110		dB
類比部分電流	普通模式	PGA=128		3	mA
	Standby mode			6	uA
	Power down			0.1	uA
數位元部分電流	normal mode			400	uA
	Standby mode			150	uA
	Power down			1.5	uA
時鐘					
內部振盪器頻率		4.6	5	5.4	MHz
內置時鐘溫漂			250		ppm/°C

電器規格-2

所有的參數測試在環境溫度-20~85°C, AVDD=3V · DVDD=3V · REFP=3V · REFN=0V 的條件下測試 XM24+

Table 3.

參數	條件	最小值	典型值	最大值	單位
模擬輸入					
滿幅輸入電壓(AINP-AIN)			0.5VREF/PGA		V
共模輸入電壓	PGA=128	AGND+1.5		AVDD-1.5	V
共模電壓抑制比			120		dB
差分輸入阻抗	PGA=128		>1		GΩ
系統性能					
解析度	無失碼		24		Bits
AD速率	時鐘為4.9152MHz		10		Hz
建立時間	全建立		4		轉換週期
P-P雜訊	PGA=128 · DR=10Hz		150		nv
積分線性度	PGA=128		±2	±3	ppm
失調誤差	PGA=128		-1		uV
失調誤差漂移	PGA=128		25		nv/°C
增益誤差	PGA=128		±0.1		%
增益誤差漂移	PGA=128		±2	±3	ppm/°C
參考電壓輸入					
負參考電壓輸入	REFN	AGND-0.1		AGND+0.6	V
正參考電壓輸入	REFP	REFN +1.5		AVDD+0.1	V
REFP - REFN		1.5	AVDD	AVDD+0.1	V
參考電壓抑制比			54		dB
電源					
類比電源電壓	AVDD	2.8	5	5.5	V
數位電源電壓	DVDD	2.8	5	5.5	V
電源電壓抑制比	PGA=64 · 128		110		dB
類比部分電流	普通模式	PGA=128		2.7	mA
	Standby mode			3	uA
	Power down			0.1	uA
數位元部分電流	normal mode			360	uA
	Standby mode			100	uA
	Power down			1.5	uA
時鐘					
內部振盪器頻率		4.4	5	5.6	MHz
內置時鐘溫漂			250		ppm/°C

電器絕對最大極限值

Table 4.

名稱	符號	最小	最大	單位
類比電源電壓	AVDD	-0.3	6	V
數位電源電壓	DVDD	-0.3	6	V
數位地與類比地之間壓差		-0.3	0.3	V
電源瞬間電流			100	mA
電源恒定電流			10	mA
數位管腳輸入電壓		-0.3	DVDD+0.3	V
類比管腳輸入電壓		-0.3	AVDD+0.3	V
節溫			150	°C
工作溫度		-40	105	°C
儲存溫度		-60	150	°C
晶片管腳焊接溫度			240	°C

晶片引腳



Figure 2.

Table 6.

SOP14	TSSOP16	引腳名稱	輸入/輸出	說明
1	1	DVDD	P	數字電源
2	2	DGND	P	數字地
	3	CLKIN	DI	外部時鐘輸入
11	4	GAIN	AI	PGA 選擇：0：選擇 PGA1；1：選擇 PGA128
3	5	CAP	AI	PGA 放大器輸出，CAP、CAP 之間外接 0.1uF 電容
4	6	CAP	AI	
5	7	AINP	AI	通道正輸入
6	8	AINN	AI	通道負輸入
7	9	REFN	AI	參考電壓負端輸入
8	10	REFP	AI	參考電壓正端輸入
9	11	AGND	P	模擬地
10	12	AVDD	P	模擬電源
	13	SPEED	DI	輸出數率選擇：0：選擇 10Hz；1：選擇 80Hz
12	14	PWDN	DI	power down 控制埠(低電平有效)
13	15	SCLK	DI	SPI 時鐘輸入埠
14	16	DOUT	DO	SPI 資料登錄/輸出埠

功能模組描述

低噪聲放大器

XM24+ 集成低雜訊、低漂移 PGA 放大器與橋式感測器差分輸出連接，其內部基本結構如 *Figure3* 所示，前置抗 EMI 濾波器電路 $R=350\Omega$ ， $C=20\text{pF}$ 實現 20M 高頻濾波。低雜訊 PGA 放大器通過 R_{F1} 、 R_1 、 R_{F2} 實現 128 倍放大，與後級電路組成 1 和 128 的 PGA 放大。通過對引腳 GAIN 的控制來選擇 1 倍、128 倍等不同的增益倍數。在 CAP 埠處接一個外置 $0.1\sim 0.22\mu\text{F}$ 電容，與內置 2K 電阻 R_{INT} 組成一個低通濾波電路，用於低雜訊 PGA 放大器輸出信號的高頻濾波，同時該低通濾波器也可以作為 ADC 的抗混疊濾波器。

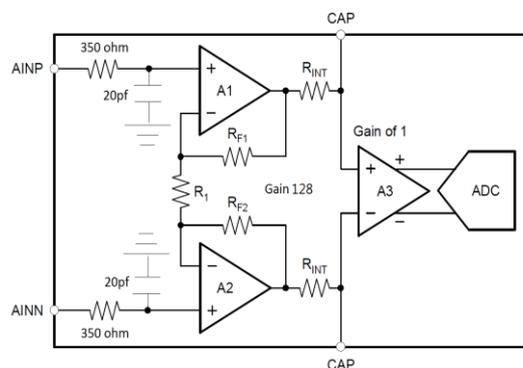


Figure3

復位和斷電

當晶片上電時，內置上電重置電路會使晶片自動重置。將引腳 \overline{PDWN} 埠拉低，可以使整個系統進入 Power down 狀態，此時功耗低於 $1.6\mu\text{A}$ ，正常使用時將 \overline{PDWN} 拉高。

數位邏輯特性

Table 7.

參數	最小	典型	最大	單位	條件說明
V_{IH}	$0.7 \times DVDD$		$DVDD + 0.1$	V	
V_{IL}	DGND		$0.3 \times DVDD$	V	
$V_{IH} (PVDN)$	$0.8 \times DVDD$		$DVDD + 0.1$	V	
$V_{IL} (PVDN)$	DGND		$0.2 \times DVDD$	V	
V_{OH}	$DVDD - 0.4$		$DVDD$	V	$I_{oh} = 1\text{mA}$
V_{OL}	DGND		$0.2 \times DVDD$	V	$I_{oL} = 1\text{mA}$
I_{IH}			10	μA	$V_I = DVDD$
I_{IL}	-10			μA	$V_I = \text{DGND}$
串口時鐘工作頻率範圍 SCLK 的頻率			2	MHz	

SPI 串口通信

XM24+ 採用 2 線 SPI 串口通信，通過 SCLK 和 DOUT 可以實現資料的接收。XM24+ 可以持續的轉換類比輸入信號，當將 DOUT 拉低後，表明資料已經準備好，輸入的第一個 SCLK 就可以將 24 位 AD 值的最高位讀出，在 24 個 SCLK 後，將所有的 24 位元 DOUT 資料讀出，之後 DOUT 會保持著最後一位元的資料，直到下一個資料準備好之前拉高，此後當 DOUT 被再次拉低，表示新的資料已經轉換完成，可進行下一個資料讀取。在接收完成一組資料後，應當保持 SCLK 的電平為低，防止 SCLK 高電平時間過長，使 XM24+ 誤入待機模式。每次資料讀取可以不需要讀完 24bit 資料，是否全部讀完 24bit 資料對下次模數轉換沒有影響。

資料格式

XM24+ 輸出的資料為 24 位元的 2 進制補數，最高位 (MSB) 最先輸出。最小有效位 (LSB) 為 $(0.5V_{REF}/Gain)/(2^{23}-1)$ 。正值滿幅輸出碼為 7FFFFFFH，負值滿幅輸出碼為 800000H。下表為不同類比輸入信號對應的理想輸出碼。

Table 8.

INPUT SIGNAL V_{IN} ($A_{INP} - A_{INN}$)	IDEAL OUTPUT CODE
$\geq +0.5V_{REF}/Gain$	7FFFFFFh
$(+0.5V_{REF}/Gain)/(2^{23}-1)$	000001h
0	000000h
$(-0.5V_{REF}/Gain)/(2^{23}-1)$	FFFFFFh
$\leq -0.5V_{REF}/Gain$	800000h

Excludes effects of noise, INL, offset, and gain errors.

資料準備/資料輸出(DOUT)

DOUT 引腳有 2 個用途。第一，當輸出為低時，表示新的資料已經轉換完成；第二，作為資料輸出引腳，當資料準備好後，在第 1 個 SCLK 的上升沿後，DOUT 輸出轉換資料的最高位元 (MSB)。在每一個 SCLK 的上升沿，資料會自動移 1 位元。在 24 個 SCLK 後，將所有的 24 位元 DOUT 資料讀出，之後 DOUT 會保持著最後一位元的資料，直到下一個資料準備好之前拉高，此後當 DOUT 被再次拉低，表示新的資料已經轉換完成，可進行下一個資料讀取。

串列時鐘輸入(SCLK)

串列時鐘輸入是一個數位引腳。這個信號應保證是一個乾淨的信號，毛刺或慢速的上升沿都會可能導致讀取錯誤資料或誤入錯誤狀態。因此，應保證 SCLK 的上升和下降時間都小於 50ns。

資料接收

XM24+ 可以持續的轉換類比輸入信號，當將 DOUT 拉低後，表明資料已經準備好接受，輸入的第一個 SCLK 來就可以將輸出的最高位讀出，在 24 個 SCLK 後，將所有的 24 位元 DOUT 資料讀出，之後 DOUT 會保持著最後一位元的資料，直到其被拉高如圖 Figure4 所示，通過第 25 個 SCLK 可以將 DOUT 拉高，此後當 DOUT 被再次拉低，表示新的資料已經準備好接受，進行下一個資料的轉換。其基本時序如圖 Figure5 所示：

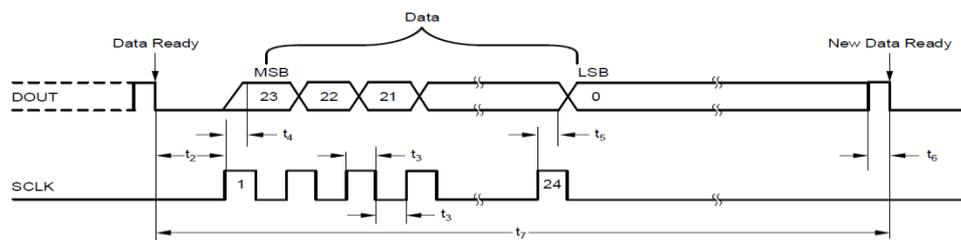


Figure4

Table 9.

SYMBOL	DESCRIPTION	MIN	TYP	MAX	UNITS
t2	DOUT變低後到第一個SCLK上升沿	0			ns
t3	SCLK 高電平或低電平脈寬	250			ns
t4	SCLK上升沿到新資料位元有效(傳輸延遲)			200	ns
t5	SCLK上升沿到舊資料位元有效(保持時間)	0			ns
t6	資料更新，不允許讀之前的資料	39			us
t7	轉換時間 (1/data rate)		100		ms

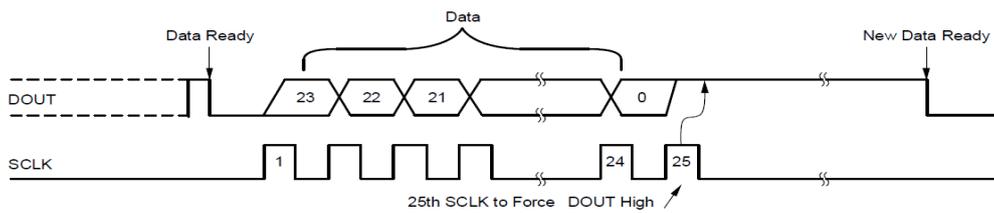


Figure 5.

待機模式

待機模式通過關閉大部分電路來減小功耗。在待機模式中，整個類比電路關閉，只有時鐘電路工作。進入待機模式的方式是，DOUT 變低後（資料準備好），一直保持 SCLK 高電平即可進入待機模式。進入待機模式的方式是在任何讀取資料過程中。當 SCLK 保持高電平滿足 t_{10} ，待機模式將會啟動。進入待機模式，DOUT 會保持高電平。在待機模式，SCLK 必須一直保持為高電平。當 SCLK 變低電平時，晶片退出待機模式開始新的資料轉換。其基本時序如圖 Figure 6 所示：

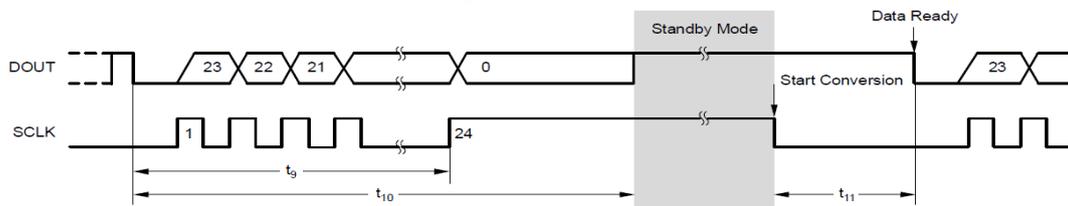


Figure 6.

Table 10.

參數	描述	最小值	最大值	單位
t9	在 DOUT 變低後，SCLK 拉高進入 standby 模式	0	99.94	ms
t10	standby 模式啟動時間	99.96		ms
t11	退出 standby 後到數據準備好	407	407	ms

斷電模式

\overline{PDWN} 信號有效時關掉晶片所有電路，功耗小於 1.6uA。只需把 \overline{PDWN} 引腳保持低電平，即可進入 Power down 模式。如圖 Figure 7 所示：

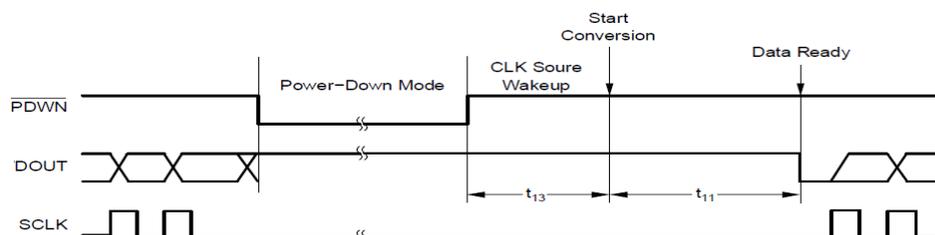


Figure 7.

Table 11.

參數	描述	典型值	單位	
t13	在 POWER DOWN 模式下喚醒時間	內部時間	7.95	us
		外部時間	0.16	us
		晶振	5.6	ms
t14	\overline{PDWN} 脈寬	26 (min)	us	

Power down 後 上電順序

AVDD 和 DVDD 必須在 \overline{PDWN} 信號變成高電平之前上電。

應用電路(衡器上應用)

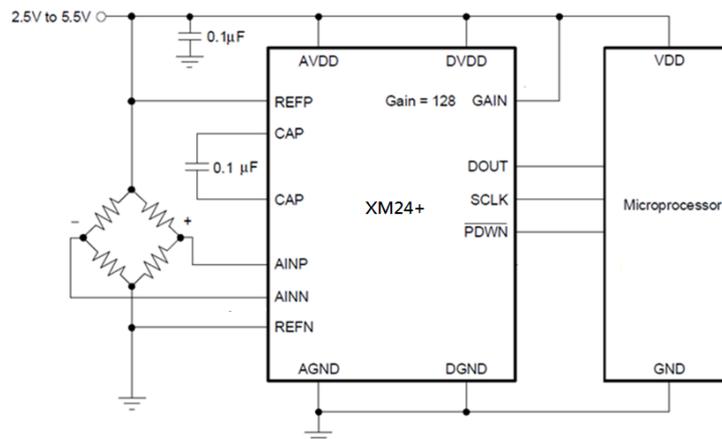
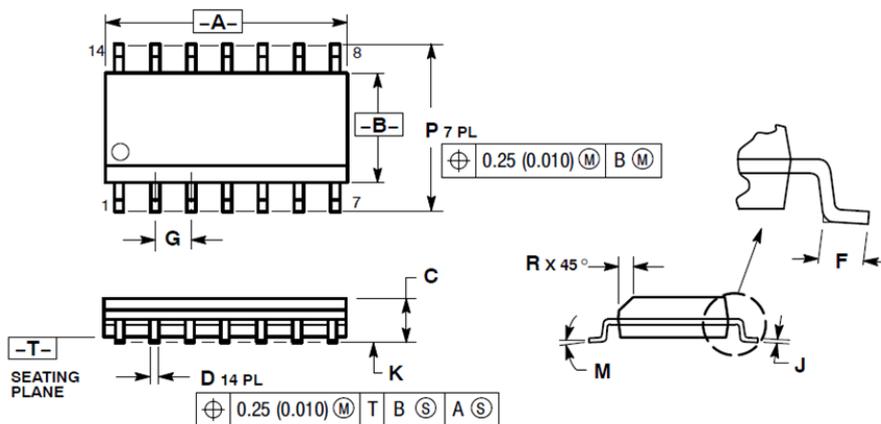


Figure8

PACKAGING 封裝

PACKAGE DIMENSIONS

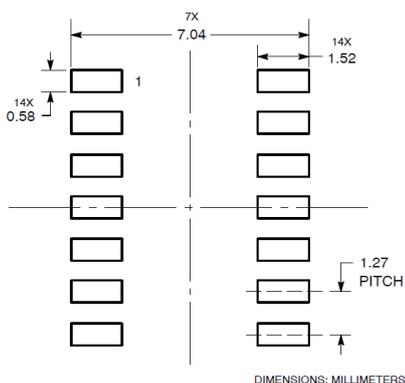
SOIC-14



NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

SOLDERING FOOTPRINT



TSSOP-16

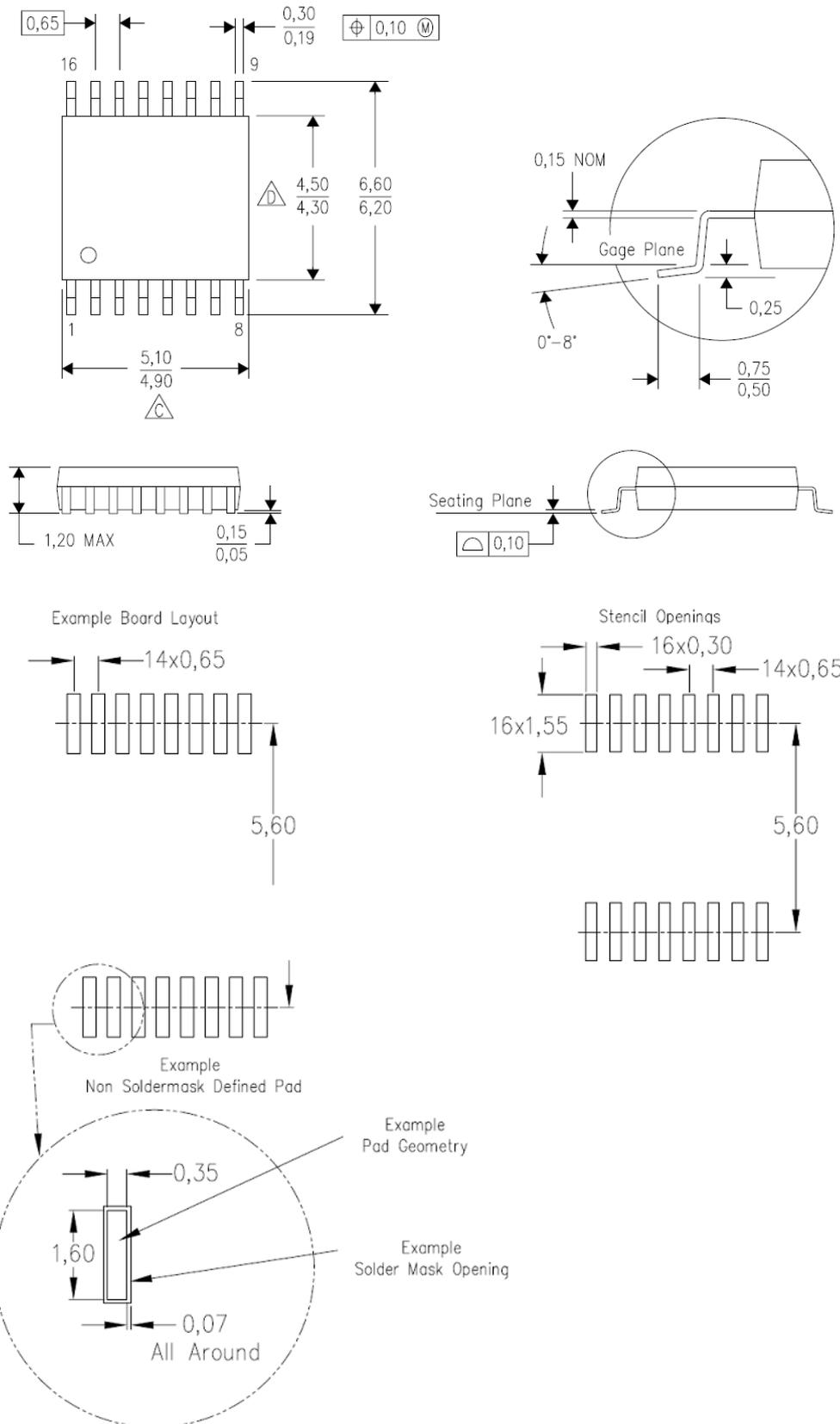


Figure9