

晶片功能說明(主要作為低功耗產品應用)

- XM24L 是一款高精度、低功耗模數轉換晶片，一路差分輸入通道，內置溫度感測器和高精度振盪器。
- XM24L 的 PGA 可選：1、2、64、128，默認為 128。
- XM24L 正常模式下的 ADC 資料輸出速率可選：10Hz、40Hz、640Hz、1.28kHz，默認為 10Hz；
- MCU 可以通過 2 線的 SPI 介面 SCLK、DRDY 與 XM24L 進行通信，對其進行配置，例如 PGA 選擇、輸出速率選擇等。

晶片主要功能特性

- 內置晶振
- 集成溫度感測器
- 帶 Power down 功能
- 2 線 SPI 介面，最快速率為 1.1MHz

ADC 功能特性：

- 24 位無失碼
- PGA 放大倍數可選：1、2、64、128
- 1 路 24 位無失碼的差分輸入，在 PGA=128 時 ENOB 為 19 位
- P-P 雜訊：PGA=128、10Hz：30nV；
- INL 小於 0.0015%
- 輸出速率可選：10Hz、40Hz、640Hz、1.28kHz

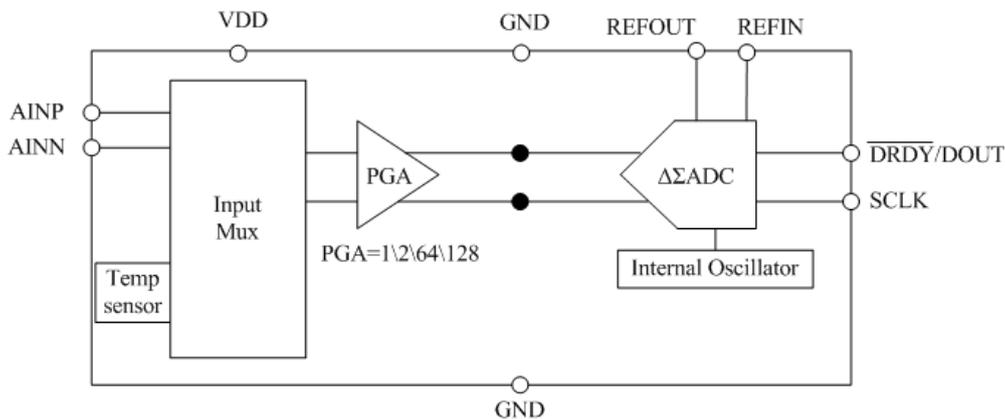
晶片應用場合

- 工業程式控制
- 電子秤(計價秤)
- 液體/氣體化學分析
- 智能變換器
- 可攜式設備

晶片基本結構功能描述

XM24L 是一款高精度、低功耗 Sigma-Delta 模數轉換晶片，內置一路 Sigma-Delta ADC，一路差分輸入通道和一路溫度感測器，ADC 採用兩階 sigma delta 調製器，通過低雜訊儀用放大器結構實現 PGA 放大，放大倍數可選：1、2、64、128。在 PGA=128 時，有效解析度可達 19 位。

XM24L 內置 RC 振盪器，無需外置晶振，XM24L 可以通過 DRDY 和 SCLK 進行多種功能模式的配置，例如用作溫度檢測、PGA 選擇、ADC 資料輸出速率選擇等等；XM24L 具有 Power down 模式。



XM24L 原理框圖

晶片絕對最大極限值

名稱	符號	最小	最大	單位
電源電壓	VDD	-0.3	6	V
電源瞬間電流			100	mA
電源恒定電流			10	mA
數位管腳輸入電壓		-0.3	DVDD+0.3	V
數位輸出管腳電壓		-0.3	DVDD+0.3	V
節溫			150	°C
工作溫度		-20	85	°C
儲存溫度		-60	150	°C
晶片管腳焊接溫度			240	°C

XM24L 數位邏輯特性

參數	最小	典型	最大	單位	條件說明
V _{IH}	0.7×DVDD		DVDD+0.1	V	
V _{IL}	DGND		0.3×DVDD	V	
V _{OH}	DVDD-0.4		DVDD	V	I _{oh} =1mA
V _{OL}	DGND		0.2×DVDD	V	I _{oL} =1mA
I _{IH}			10	uA	V _I =DVDD
I _{IL}	-10			uA	V _I =DGND
串口時鐘SCLK工作頻率			1.1	MHz	

XM24L 電氣特性

所有的參數測試在環境溫度-20~85°C、內置基準的條件下測試，除非有其它注明。XM24L 電氣特性 (VDD = 5V、3.3V)

參數	條件	最小值	典型值	最大值	單位
模擬輸入					
滿幅輸入電壓(AINP-AINN)			±0.5VREF/PGA		V
共模輸入電壓	PGA=1、2	AGND-0.1		AVDD+0.1	V
	PGA=64、128	AGND+1.5		AVDD-1.5	V
差分輸入阻抗	PGA=1、2		100		MΩ
	PGA=64、128		9		MΩ
系統性能					
解析度	無失碼		24		Bits
AD速率			10	1280	Hz
建立時間	全建立		3：ADC輸出速率為10\40Hz、 4：ADC輸出速率為640\1280Hz		轉換週期
P-P雜訊	PGA=128、10Hz		30		nv
有效精度	PGA=128、10Hz		20 (5V) 19.5 (3.3V)		Bit
積分線性度	PGA=128		±15		ppm
失調誤差	PGA=128		±1.4		uV
失調誤差漂移	PGA=128		20		nv/°C
增益誤差	PGA=128		±0.5		%
增益誤差漂移	PGA=128		8		ppm/°C
參考電壓輸入					
參考電壓輸入	REFIN	1.5	VDD	VDD+0.1	V
參考電壓輸出					
參考電壓輸出	REFOUT		VDD		V
時鐘					
內部振盪器頻率			5.2		MHz
內置時鐘溫漂			250		ppm/°C
溫度感測器					
溫度測量誤差	TempError		±3		°C

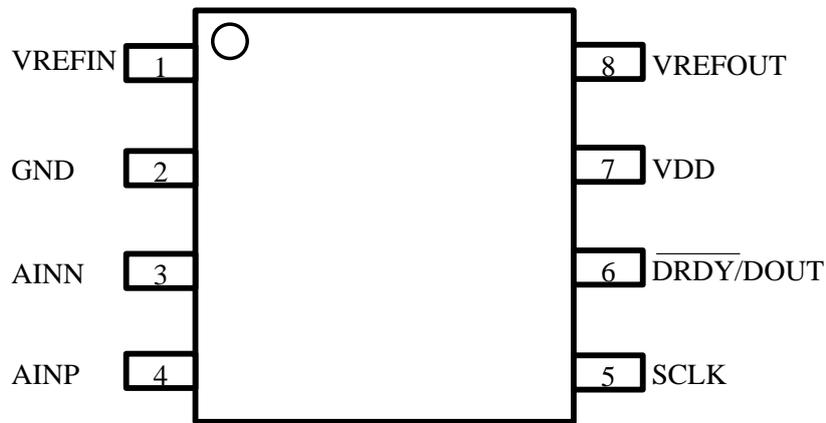
XM24L 電源電氣特性 (VDD = 5V)

參數	條件		最小值	典型值	最大值	單位
電源電壓	VDD		4.5	5	5.5	V
工作電流	正常模式	PGA=1、2		1.57		mA
		PGA=64、128		2.34		mA
	Power down			0.1	0.1	uA

XM24L 電源電氣特性 (VDD = 3.3V)

參數	條件		最小值	典型值	最大值	單位
電源電壓	VDD		3	3.3	3.6	V
工作電流	正常模式	PGA=1、2		1.26		mA
		PGA=64、128		2.11		mA
	Power down			0.1		uA

晶片引腳



XM24L 晶片引腳圖

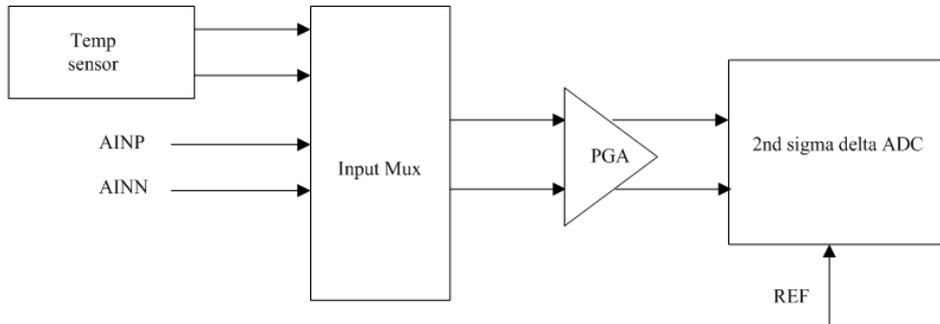
PIN 腳說明

序號	引腳名稱	輸入/輸出	說明
1	REFIN	AI	基準源輸入
2	GND	P	晶片地
3	AINN	AI	通道負輸入
4	AINP	AI	通道正輸入
5	SCLK	DI	SPI 輸入介面
6	$\overline{DRDY}/DOUT$	DI/DO	SPI 資料登錄\輸出介面
7	VDD	P	電源
8	REFOUT	AO	基準源輸出

晶片功能模組描述

模擬輸入前端

XM24L 中有 1 路 ADC，集成了 1 路差分輸入，信號輸入可以是差分輸入信號 AINP、AINN，也可以是溫度感測器的輸出信號，輸入信號的切換由寄存器(ch_sel[1:0])控制，其基本結構如下圖所示：



模擬輸入結構圖

XM24L 的 PGA 可配：1、2、64、128，由寄存器(pga_sel[1:0])控制；基準電壓可以由外部輸入也可是內部輸出，如果要使用外部基準電壓，要先關閉內部基準，內部基準控制由寄存器(refo_off)控制。

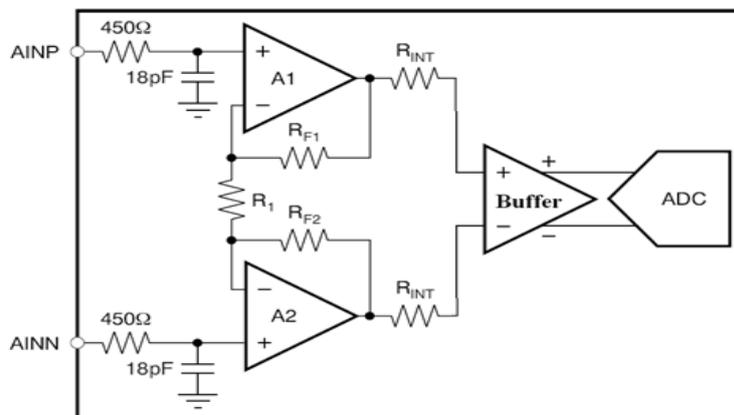
溫度感測器

晶片內部提供溫度測量功能。當 ch_sel[1:0]=10B 時，ADC 類比信號輸入接到內部溫度感測器，其它的類比輸入信號無效。ADC 通過測量內部溫度感測器輸出的電壓差來推導出實際的溫度值。當 ch_sel[1:0]=2'b10 時，ADC 只支持 PGA=1。

溫度感測器需要進行單點校正。校正方法：在某個溫度點 A 下，使用溫度感測器進行測量得到碼值 Ya。那麼其他溫度點 B 對應的溫度 = $Yb \cdot (273.15 + A) / Ya - 273.15$ A 溫度單位是攝氏度。Ya 是 A 點對應溫度碼值。Yb 是 B 點對應溫度碼值。

低雜訊 PGA 放大器

XM24L 提供了一個低雜訊，低漂移的 PGA 放大器與橋式感測器差分輸出連接，其基本結構圖如下圖所示，前置抗 EMI 濾波器電路 $R=450\Omega$ ， $C=18pF$ 實現 20M 高頻濾波。低雜訊 PGA 放大器通過 RF1、R1、RF2 實現 64 倍放大，並和後級開關電容 PGA 組成 64 和 128 的 PGA 放大。通過 pga_sel[1:0]來配置 1、2、64、128 等不同的 PGA。當使用 PGA=1、2 時，64 倍低雜訊 PGA 放大器會被關斷以節省功耗。當使用低雜訊 PGA 放大器時，輸入範圍在 GND+1.5V 到 VDD-1.5V 之間，超出這個範圍，會導致實際性能下降。在 CAP 埠處接一個內置 45pF 電容，與內置 2k 電阻 RINT 組成一個低通濾波，用作低雜訊 PGA 放大器的輸出信號的高頻濾波，同時該低通濾波器也可以作為 ADC 的抗混疊濾波器。



PGA 結構圖

XM24L 內置 Buffer，當 PGA=1、2 時，XM24L 使用 Buffer 來減少由於 ADC 差分輸入阻抗低帶來的問題，例如建立時間不足，增益誤差偏大等等，當 PGA=64、128 時，XM24L 也使用 Buffer 來減少由於低雜訊 PGA 經過 $R_{INT}=2K$ 低通濾波後帶來的建立誤差，增益誤差以及內碼漂移的現象。

時鐘信號源

XM24L 使用內置晶振來提供系統所需要的時鐘頻率，典型值為 5.2MHz。

復位和斷電(POR&power down)

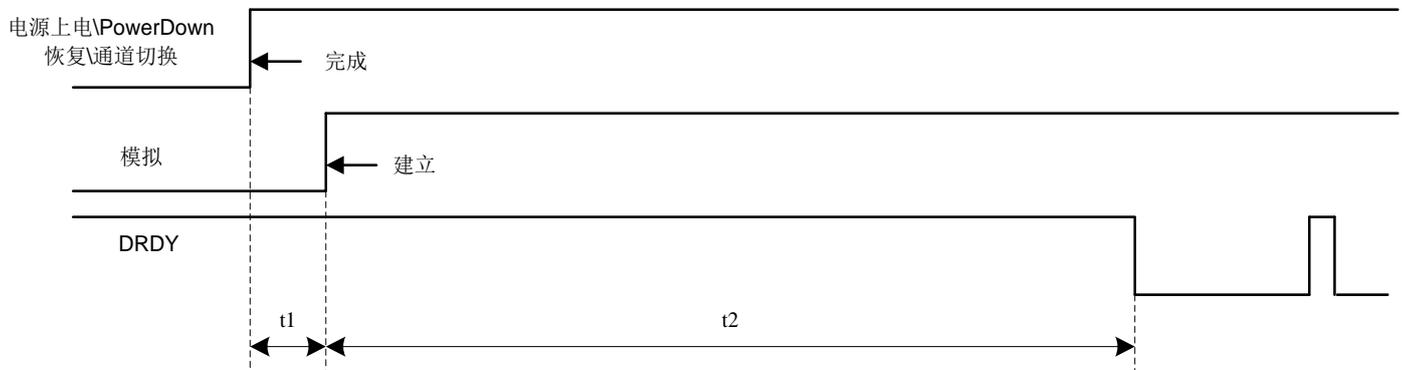
當晶片上電時，內置上電重定電路會產生重定信號，使晶片自動重定。當 SCLK 從低電平變高電平並保持在高電平超過 100 μ s，XM24L 即進入 PowerDown 模式，此時功耗低於 0.1 μ A。當 SCLK 重新回到低電平時，晶片會重新進入正常工作狀態。當系統由 Power down 重新進入正常工作模式時，此時所有功能配置為 PowerDown 之前的狀態，不需要進行功能配置。

SPI 串口通信

XM24L 中採用 2 線 SPI 串列通信，通過 SCLK 和 DRDY 可以實現資料的接收以及功能配置。

建立時間

在 ADC 資料輸出速率為 10Hz 或 40Hz 時，數位部分需要有 3 個資料轉換週期滿足類比輸入信號的建立和濾波器的建立時間要求；ADC 資料輸出速率為 640Hz 或 1280Hz 時，數位部分需要有 4 個資料轉換週期滿足類比輸入信號的建立和濾波器的建立時間要求。XM24L 整個建立過程如下圖所示：



XM24L 資料建立過程 1



XM24L 資料建立過程 2

參數	描述 ⁽¹⁾	最小值	典型值	最大值	單位
t1	電源上電\PowerDown 恢復\通道切換之後模擬所需的建立時間		2		ms
t3	PGA 切換\速率切換之後類比所需的建立時間		0.8		us
t2	建立時間 ($\overline{DRDY}/DOUT$ 保持高電平)	10\40Hz	300\75		ms
		640\1280Hz	6.25\3.125		ms

ADC 資料輸出速率

XM24L 資料輸出速率可以通過寄存器 speed_sel[1:0]配置。

輸出速率設置

SPEED_SEL[1:0]	ADC 輸出速率(Hz)
00	10
01	40
10	640
11	1280

資料格式

XM24L 輸出的資料為 24 位元的 2 進制補數，最高位 (MSB) 最先輸出。最小有效位 (LSB) 為 $(0.5V_{REF}/Gain)/(2^{23}-1)$ 。正值滿幅輸出碼為 7FFFFFFH，負值滿幅輸出碼為 800000H。下表為不同類比輸入信號對應的理想輸出碼。

理想輸出碼和輸入信號⁽¹⁾

輸入信號 V_{IN} (AINP-AINN)	理想輸出
$\geq +0.5V_{REF}/Gain$	7FFFFFFH
$(+0.5V_{REF}/Gain)/(2^{23}-1)$	000001H
0	000000H
$(-0.5V_{REF}/Gain)/(2^{23}-1)$	FFFFFFFH
$\leq +0.5V_{REF}/Gain$	800000H

不考慮雜訊，INL，失調誤差和增益誤差的影響

資料準備/資料登錄輸出($\overline{DRDY}/DOUT$)

$\overline{DRDY}/DOUT$ 引腳有 4 個用途。

第一，當輸出為低時，表示新的資料已經轉換完成；

第二，作為資料輸出引腳，當資料準備好後，在第 1 個 SCLK 的上升沿後， $\overline{DRDY}/DOUT$ 輸出轉換資料的最高位元 (MSB)。在每一個 SCLK 的上升沿，資料會自動移 1 位元。在 24 個 SCLK 後將所有的 24 位元 DOUT 資料讀出，如果這時暫停 SCLK 的發送， $\overline{DRDY}/DOUT$ 會保持著最後一位元的資料，直到下一個資料準備好之前拉高，此後當 $\overline{DRDY}/DOUT$ 被再次拉低，表示新的資料已經轉換完成，可進行下一個資料讀取；

第三，在第 25、26 個 SCLK 時，輸出寄存器狀態更新標誌；

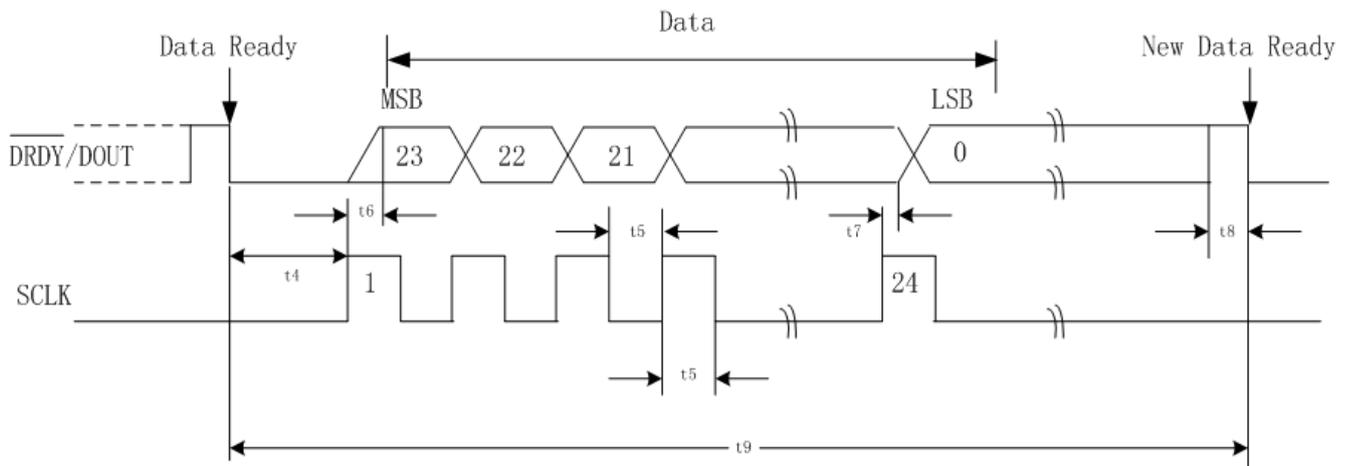
第四，作為寄存器資料寫入或讀出引腳，當需要配置寄存器或讀取寄存器值時，SPI 需要發送 46 個 SCLK，根據 $\overline{DRDY}/DOUT$ 輸入的命令字，判斷是寫寄存器操作還是讀寄存器操作。

串列時鐘輸入(SCLK)

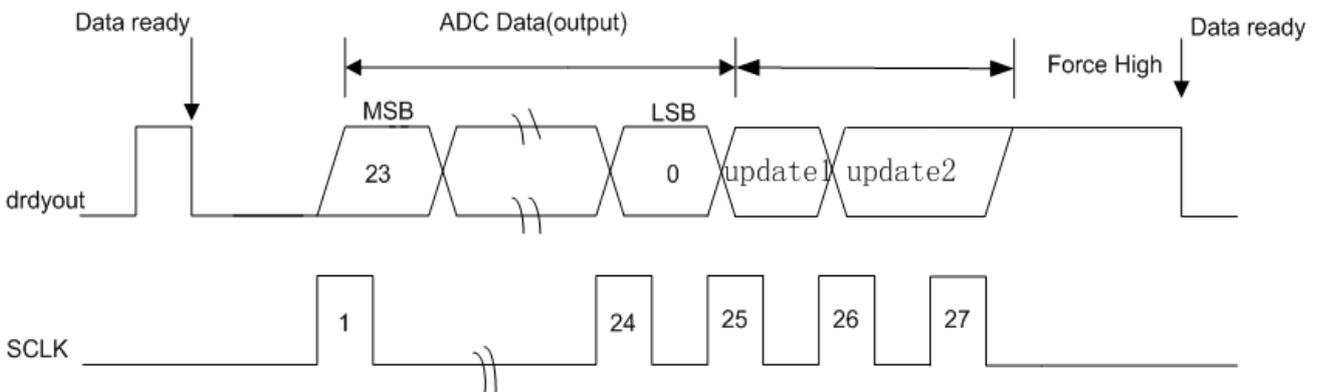
串列時鐘輸入 SCLK 是一個數位引腳。這個信號應保證是一個乾淨的信號，毛刺或慢速的上升沿都會可能導致讀取錯誤資料或誤入錯誤狀態。因此，應保證 SCLK 的上升和下降時間都小於 50ns。

資料發送

XM24L 可以持續的轉換類比輸入信號，當將 $\overline{DRDY}/DOUT$ 拉低後，表明資料已經準備好接受，輸入的第一個 SCLK 來就可以將輸出的最高位讀出，在 24 個 SCLK 後將所有的 24 位元 DOUT 資料讀出，如果這時暫停 SCLK 的發送， $\overline{DRDY}/DOUT$ 會保持著最後一位元的資料，直到其被拉高，第 25 和 26 個 SCLK 輸出配置寄存器是否有寫操作標誌，第 25 個 SCLK 對應的 $\overline{DRDY}/DOUT$ 為 1 時表明配置寄存器 Config 被寫入了新的值，第 26 個 SCLK 對應的 $\overline{DRDY}/DOUT$ 為晶片擴展保留位元，目前輸出一直為 0，通過第 27 個 SCLK 可以將 $\overline{DRDY}/DOUT$ 拉高，此後當 $\overline{DRDY}/DOUT$ 被再次拉低，表示新的資料已經準備好接受，進行下一個資料的轉換。其基本時序如圖所示：



XM24L 讀取資料時序圖 1



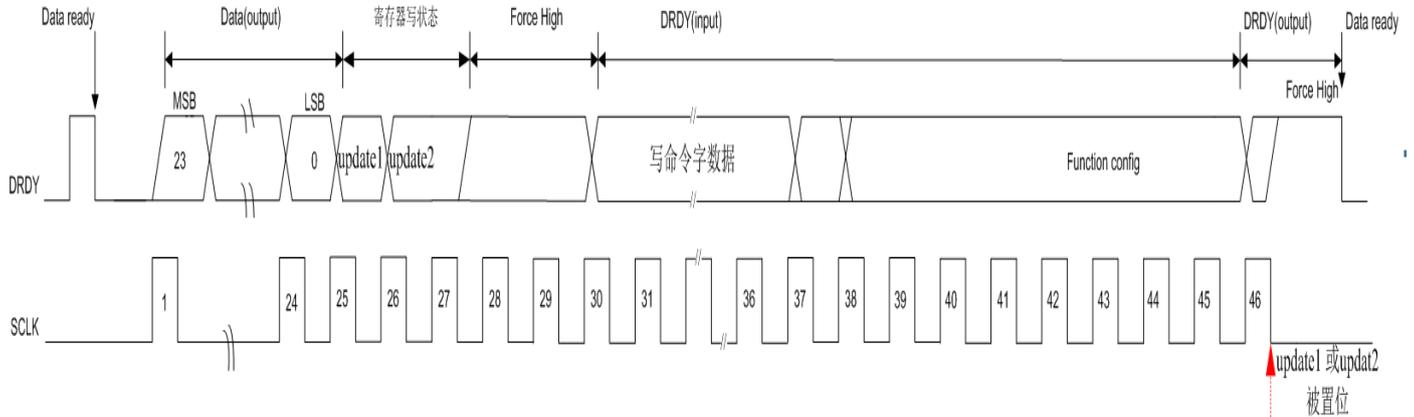
XM24L 讀取資料時序圖 2

讀取資料時序表

SYMBOL	DESCRIPTION	MIN	TYP	MAX	UNITS
t4	$\overline{DRDY}/DOUT$ 變低後到第一個SCLK上升沿	0			ns
t5	SCLK 高電平或低電平脈寬	455			ns
t6	SCLK上升沿到新資料位元有效(傳輸延遲)	455			ns
t7	SCLK上升沿到舊資料位元有效(保持時間)	227.5		455	ns
t8	資料更新，不允許讀之前的資料		26.13		us
t9	轉換時間 (1/data rate)	10Hz	100		ms
		40Hz	25		ms
		640Hz	1.5625		ms
		1280Hz	0.78125		ms

功能配置

XM24L 可以通過 SCLK 和 DRDY 可以進行不同功能的配置，功能配置時序圖如下圖所示：



功能配置時序圖

功能配置過程簡述，在 DRDY 由高變低之後：

- 第 1 個到第 24 個 SCLK，讀取 ADC 數據。如果不需要配置寄存器或者讀取寄存器，可以省略下面的步驟。
- 第 25 個到第 26 個 SCLK，讀取寄存器寫操作狀態。
- 第 27 個 SCLK，把 DRDY 輸出拉高。
- 第 28 個到第 29 個 SCLK，切換 DRDY 為輸入。
- 第 30 個到第 36 個 SCLK，輸入寄存器寫或讀命令字資料(高位先輸入)。
- 第 37 個 SCLK，切換 DRDY 的方向(如果是寫寄存器，DRDY 為輸入；如果是讀寄存器，DRDY 為輸出)。
- 第 38 個到第 45 個 SCLK，輸入寄存器配置資料或輸出寄存器配置資料(高位先輸入/輸出)。
- 第 46 個 SCLK，切換 DRDY 為輸出，並把 DRDY 拉高。update1/ update2 被置位或清零。

SPI 命令字

XM24L 有 2 個命令字，命令字的長度為 7bits，命令字描述如下：

XM24L 命令字說明表

命令名稱	命令字節	描述
寫配置寄存器	0x65	寫配置寄存器 Config
讀配置寄存器	0x56	讀配置寄存器 Config

SPI 寄存器

XM24L 有一組寄存器 Config。

Config 寄存器

寄存器	R/W	描述	復位值
Config	R/W	配置寄存器	0x0C

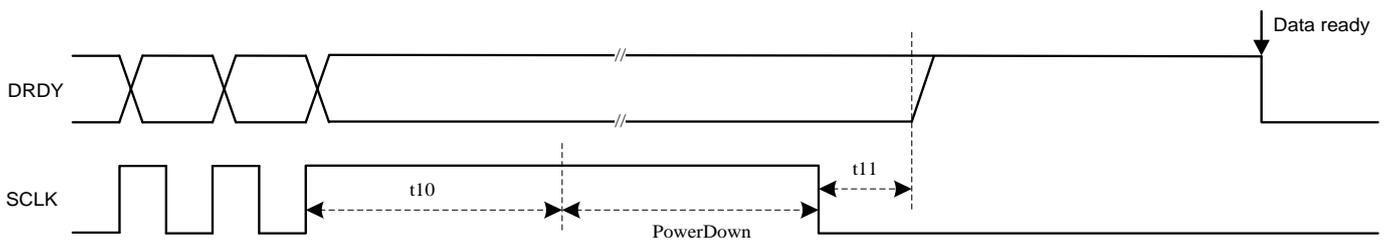
配置位元	B7	B6	B5	B4
描述	保留位	REF 輸出開關	ADC 輸出速率選擇	
配置位元	B3	B2	B1	B0
描述	PGA 選擇		通道選擇	

Config 寄存器說明表

Bits	描述		
[7]	-	晶片保留使用位元。默認為 0，寫入時寫 0，不要寫 1	
[6]	REFO_OFF	REF 輸出開關 1=關閉 REF 輸出。 0=REF 正常輸出。	
[5:4]	SPEED_SEL	ADC 輸出速率選擇：默認為 10Hz	
		SPEED_SEL[1:0]	描述
		00	ADC 輸出速率為 10Hz。
		01	ADC 輸出速率為 40Hz。
		10	ADC 輸出速率為 640Hz。
11	ADC 輸出速率為 1280Hz。		
[3:2]	PGA_SEL	PGA 選擇：預設 PGA 為 128，在測溫模式下 PGA_SEL=00	
		PGA_SEL[1:0]	描述
		00	1
		01	2
		10	64
11	128		
[1:0]	CH_SEL[1:0]	通道選擇：默認通道為通道 A	
		CH_SEL[1:0]	描述
		00	通道 A
		01	晶片保留使用位元
		10	溫度
11	內短		

Power down 模式

當 SCLK 從低電平變高電平並保持在高電平超過 100 μ s，XM24L 即進入 PowerDown 模式，這時會關掉晶片所有電路，功耗接近 0。當 SCLK 重新回到低電平時，晶片會重新進入正常工作狀態。

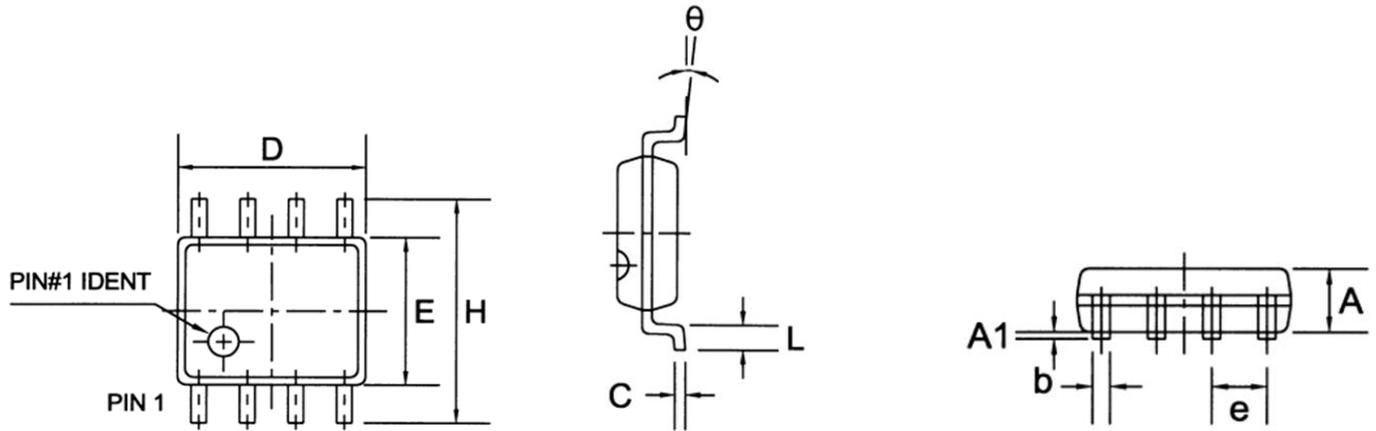


XM24L PowerDown 模式示意圖

symbol	描述	最小值	典型值	最大值
t10	sclk高電平保持時間	100us		
t11	sclk下降之後低電平保持時間	10us		

晶片的封裝

XM24L 採用 SOP8 封裝。



晶片 SOP8 封裝尺寸資訊

SYMBOLS	MIN	NOR	MAX
	(mm)		
A	1.300	1.400	1.500
A1	0.100	-	0.225
b	0.390	-	0.480
C	0.210	-	0.260
D	4.700	4.900	5.100
E	3.700	3.900	4.100
e	1.27BSC		
H	5.800	6.000	6.200
L	0.500	-	0.800
θ°	0°	-	8°