

汉芝电子股份有限公司

iMQ Technology Inc.

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

SQ7653 中文使用说明书

V0.1

(工程样本)

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

目录

1.修改记录.....	8
2.产品简介.....	9
2.1 功能特性.....	9
2.2 重点说明.....	10
2.3 系统模块图.....	11
2.4 引脚配置/说明.....	12
3.电气特性.....	19
3.1 极限参数.....	19
3.2 工作条件.....	20
3.2.1 工作条件.....	20
3.2.2 时钟源.....	20
3.2.3 I/O 特性.....	21
3.3 直流(DC)特性.....	22
3.4 上电复位电气特性.....	23
3.5 BROR 电气特性.....	24
3.6 LVD 电气特性.....	24
3.7 ADC 电气特性.....	25
3.8 FLASH 电气特性.....	26
4. 中央处理器(CPU).....	27
4.1 符号对照.....	28
4.2 核心寄存器.....	30
4.2.1 8 位通用寄存器.....	30
4.2.2 16 位通用寄存器.....	31
4.2.3 程序状态字.....	32
4.2.4 堆栈指针(SP).....	33
4.2.5 程序计数器(PC).....	33
4.3 寻址模式.....	33
4.3.1 寄存器间接寻址.....	33
4.3.2 直接寻址.....	34
4.3.3 寄存器寻址(r 或 rr).....	34

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

- 4.3.4 立即寻址(n 或 mn)35
- 4.3.5.相对寻址.....35
- 4.3.6 绝对寻址.....35
- 4.3.7 矢量寻址.....35
- 4.3.8 直接位寻址35
- 4.3.9 寄存器间接位寻址36
- 4.4 指令流水線37
 - 4.4.1 寄存器对寄存器运行37
 - 4.4.2 寄存器对存储器运行37
 - 4.4.3 存储器对寄存器运行38
 - 4.4.4 存储器对存储器运行38
 - 4.4.5 跳转39
 - 4.4.6 子过程调用及返回40
 - 4.4.7 软件中断(SWI).....41
- 4.5 指令集总结42
 - 4.5.1 数据传送及交换指令42
 - 4.5.2 算术逻辑单元(ALU)指令43
 - 4.5.3 位移/旋转及半字节操作指令.....46
 - 4.5.4 位及标志操作指令47
 - 4.5.5 跳转指令.....49
 - 4.5.6 呼叫、返回、软件中断以及无操作指令50
- 5.寻址区域.....51
- 6.系统运行.....52
 - 6.1 系统复位52
 - 6.1.1 装置初始化52
 - 6.2 唤醒 KWU54
 - 6.2.1 唤醒 KWU 架构.....54
 - 6.2.2 唤醒 KWU 控制寄存器.....54
 - 6.2.3 KWU 控制寄存器55
 - 6.3 工作模式56
 - 6.3.1 一般模式.....57

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

- 6.3.2 睡眠模式.....57
- 6.3.3 深眠模式.....57
- 6.3.4 低功耗模式57
- 7.系统时钟控制器58
 - 7.1 时钟源58
 - 7.2 时钟切换59
 - 7.4 时钟控制寄存器.....59
 - 7.5 系统及外围电路时钟60
 - 7.5.1 功能性门控时钟60
- 8. 12 位 ADC 器(ADC)61
 - 8.1 功能叙述.....62
 - 8.1.1 ADC 控制寄存器.....62
 - 8.1.2 数据缓存器63
 - 8.1.3 多重信道扫描63
 - 8.1.4 ADC 时钟源选择.....63
 - 8.1.5 ADC 参考63
 - 8.1.6 ADC 事件源.....64
 - 8.1.7 ADC 阶层比较.....65
 - 8.1.8 中断产生.....65
 - 8.1.9 ADC 工作模式.....66
 - 8.1.10 停止 AD 工作69
 - 8.1.11 ADC 工作流程.....69
 - 8.2 注意事项72
 - 8.2.1 模拟信号输入引脚电压范围72
 - 8.2.2 模拟信号输入引脚作 I/O 埠用72
 - 8.2.3 噪声抑制.....72
 - 8.3 ADC 寄存器.....73
- 9. FLASH 存储控制器(FMC)74
 - 9.1 功能叙述74
 - 9.2 FLASH 储存控制寄存器.....75
- 10 比较器76

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

10.1 框圖	76
11.定时器/计数器	77
11.1 看门狗定时器(WDT)	77
11.1.1 看门狗定时器架构	77
11.1.2 看门狗定时器控制	78
11.2 时基定时器(TBT)	83
11.2.1 时基定时器架构	83
11.2.2 时基定时器控制	84
11.2.3 时基定时器功能	84
11.3 实时时钟(RTC)	85
11.3.1 功能叙述	85
11.3.2 RTC 工作模式	85
11.3.3 实时时钟寄存器	89
11.4 16 位定时器	90
11.4.1 16 位定时器计数器控制	92
11.5.2 低功耗功能	97
11.5.3 定时器功能	98
11.5.4 噪声抑制	112
12.通用异步收发器 (UART)	113
12.1 UART 架构	114
12.2 UART 控制	115
12.3 防止 UARTxCR1 与 UARTxCR2 寄存器改变的保护机制	115
12.4 收发数据格式	116
12.5 红外线数据收发模式	117
12.6 收发波特率 (BAUD RATE)	118
12.6.1 收发波特率计算方法	119
12.7 数据取样方法	121
12.8 接收数据的噪声抑止	123
12.9 发送/接收工作	124
14.9.1 资料发送工作	124
12.9.2 数据接收工作	124

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

12.10 状态标帜	125
12.10.1 同位错误标帜.....	125
12.10.2 数据框错误标帜	126
12.10.3 溢出错误标帜.....	127
14.10.4 接收缓存器已满标帜.....	130
12.10.5 发送忙碌标帜.....	130
14.10.6 发送缓存器已满标帜.....	131
12.11 接收流程.....	132
13.串行总线接口(SBI)/I2C	134
13.1 通信格式.....	134
13.1.1 I2C 总线.....	134
13.1.2 通用数据格式.....	135
13.2 框图	136
13.3 控制	137
13.4 功能.....	138
13.4.1 低功耗功能	138
13.4.1.2 选取从属地址配对检测与广播呼叫检测.....	138
13.4.3 选取数据传输的时钟数与选取应答或单一应答模式	139
13.4.4 串行时钟	142
13.4.5 选取主控/从属	144
13.4.6 选取传输/接收	144
13.4.7 生成开始/停止条件	145
13.4.8 中断服务需求发布与释放	146
13.4.9 设定串行总线接口模式	146
13.4.10 软件复位.....	147
13.4.11 仲裁丢失检测功能	147
13.4.12 从属地址配对检测	148
13.4.13 广播呼叫检测.....	149
13.4.14 最后接收位的监控	149
13.4.15 从属位址与位址辨识模式说明	150
13.5 I2C 总线的数据传输	150

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

13.5.1 设备初始化	150
13.5.2 开始条件与从属地址产生	150
13.5.3 字数据传输	151
13.5.4 停止条件产生	155
13.5.5 重新启动	156
13.6 AC 规格	158
14 同步串行收发器(SIO).....	160
14.1 框图	160
14.2 控制	161
14.3 低功耗功能.....	161
14.4 功能	162
14.4.1 传送模式	162
14.4.2 串行时钟	162
14.4.3 触发沿选择	163
14.5 传送模式.....	164
14.5.1 8 位传送模式.....	164
14.5.2 8 位接收模式.....	169
14.5.3 8 位传送/接收模式.....	174
14.6 AC 特性.....	179
15 雙信道内存(DUAL OPERATION FLASH MEMORY).....	181
15.1 功能	181
附录 A. 产品型号信息	182
附录 B. 封装信息	183

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

1.修改记录

版本	发布日期	改版描述
Ver.0.1	2019/3/25	首次发行。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

2. 产品简介

2.1 功能特性

◆ 基本信息

- 工作电压范围: 2.0V ~ 5.5V
- 工作温度范围: -40°C ~ 85°C
- 最高工作频率 24 MHz
- 指令集完全兼容于Toshiba TLCS-870/C1

◆ 内存配置

- Data Flash最大為8K Bytes (512bytes / sector)
- Code Flash最大為48K Bytes (512bytes / sector)
- Data Flash與Code Flash支持dual operation
- RAM最大為2048 Bytes

◆ 低功耗系統

- 普通模式5 mA @ 5V(@24MHz)
- 深眠模式1 uA @ 3.3V · 掉电复位 · CPU以及RAM保持寄存器

◆ 多样化系统时钟源

- 支援外部高速晶振/陶振 1~16 MHz
- 支援外部低速晶振/陶振32.768 KHz
- 具有外部时钟输入功能
- 以锁相环(PLL)實現最高工作频率 24 MHz,PLL来源可为8MHz外部晶振(可除頻至1/2/3/4/6/8/12/16/24MHz)
- 内部低速时钟32KHz

◆ I/O

- 最多29个I/O引脚
- 10个外部中断输入(INT0~INT9)
- 10个唤醒输入(KWIO~EINT9)

◆ 定时器/计数器

- 10个16位定时器

◆ 12位ADC

- 最多有8个输入埠
- 1个ADC器外部参考电压源选择

◆ 低电压检测 (LVD)系统

- 共8級

◆ 掉电复位检测(BROR)

- 1.9V

◆ 比较器1組

◆ 通訊

- UART 最多3組
- SIO 最多1組
- I2C 最多1组(400KHz)

◆ 封装形式

- LQFP32 7x7
- SOP28

◆ 应用项目

- 家电应用
- 工業控制
- 消费性电子

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

- 時基定時器 (Time Base Timer)
- 看门狗定时器

2.2 重点说明

SQ7653 核心使用 870E 指令集架构，为一高效节能且具低电门数运算核心，其可变长度指令集提供 38 组核心指令，9 种寻址模式以及强大的内存运作，指令操作码长度从 1 位到 5 位，一般指令多为 2 至 4 位。

SQ7653 核心为三阶管线设计，指令队列以及核心功能单元可于单周期中频繁执行指令，哈佛结构可使系统同时取出指令以及数据存取，特定硬件专门处理指令与数据对齐，增进工作效能。

SQ7653 内置最大 48K Bytes Code Flash、8K Bytes Data Flash、2K Bytes RAM、多样的 I/O 端口功能、多组定时器与计数器、时钟产生器，12 位 ADC 器。多种内部与外部时钟源可根据用户所需频率选取，亦可支持数字外设以及精准模拟特性，用户可依性能、耗电等不同需求进行工作模式的优化调整。

2.3 系统模块图

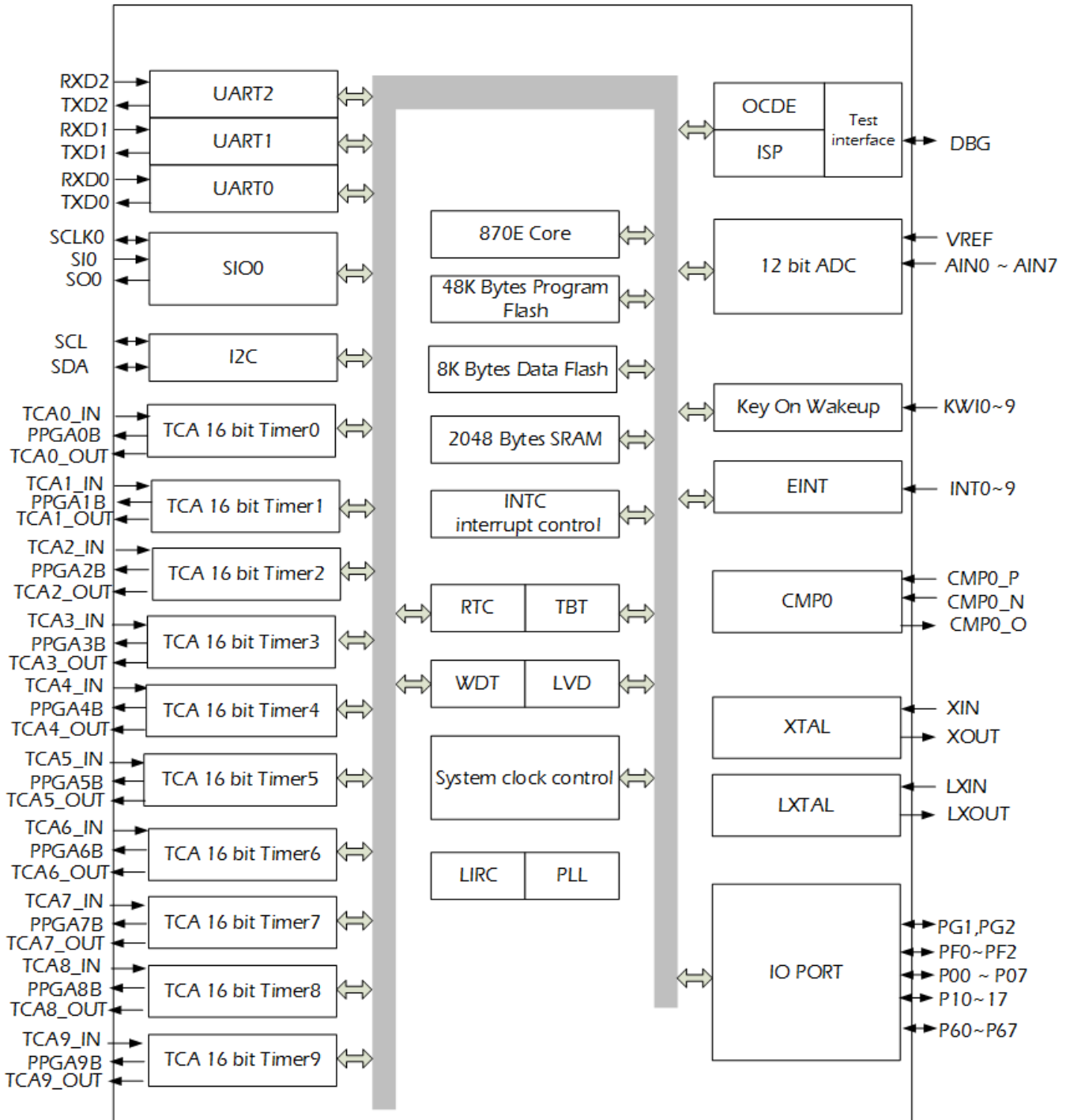
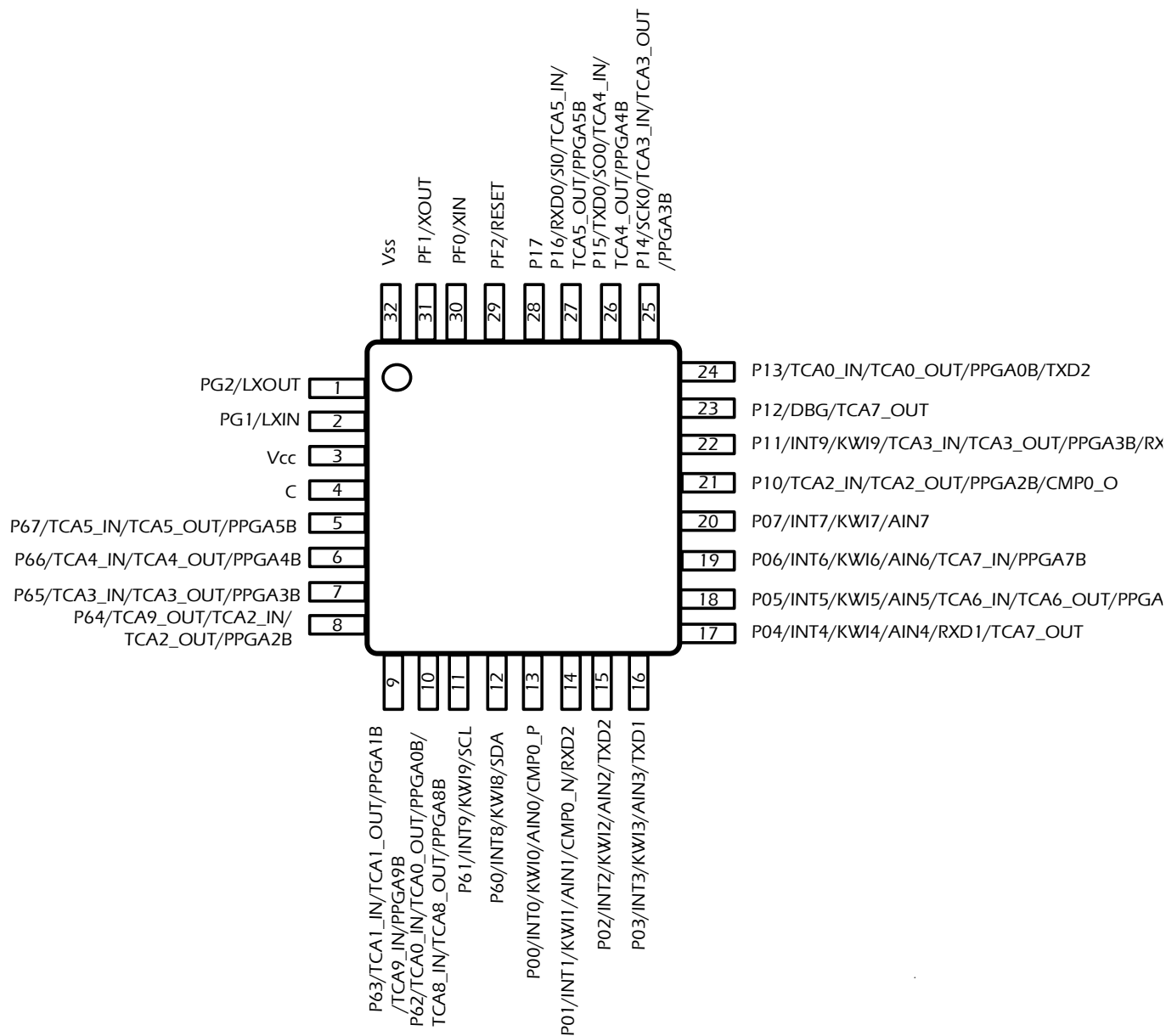


图 2.2 SQ7653系统模块图

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

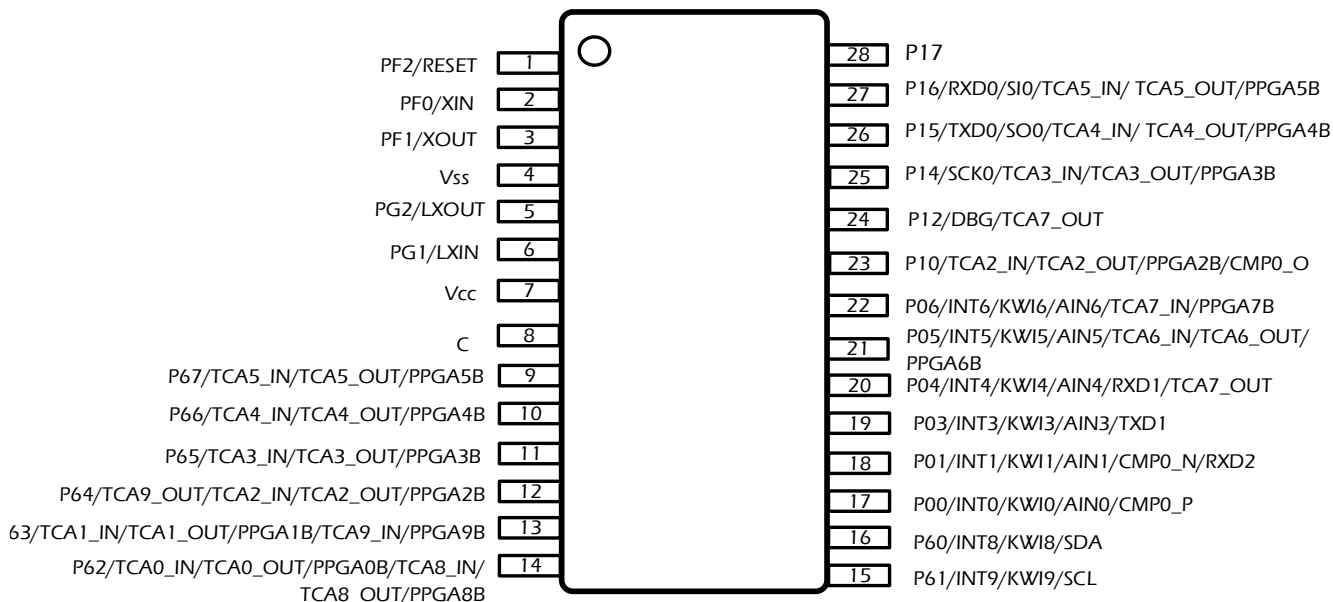
2.4 引脚配置/说明

產品型號: SQ7653LQ032PGLR (LQFP32 封装)



Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

產品型號: SQ7653SP028PGLR (SOP28 封装)



Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

32-Pin.	28-Pin	引脚名称与 端口/选择功能	输入输出I/O类型		功能说明
1	5	PG2/LXOUT	I/O	上拉 下拉 外部晶振连接 (低频)	LXOUT -Subclock I/O oscillation pin
2	6	PG1/LXIN	I/O	上拉 下拉 外部晶振连接 (低频)	LXIN - Sub-clock input oscillation pin
3	7	Vcc	Power	-	电源输入
4	8	C	C		电容引脚
5	9	P67/TCA5_IN/TCA5_OUT/PPG A5B	I/O	上拉 下拉	TCA5_IN-16位定时器/计数器输入引脚 TCA5_OUT-16位定时器/计数器输出引脚 PPGA5B - 16位PPG输出引脚
6	10	P66/TCA4_IN/TCA4_OUT/PPG A4B	I/O	上拉 下拉	TCA4_IN-16位定时器/计数器输入引脚 TCA4_OUT-16位定时器/计数器输出引脚 PPGA4B - 16位PPG输出引脚
7	11	P65/TCA3_IN/TCA3_OUT/PPG A3B	I/O	上拉 下拉	TCA3_IN-16位定时器/计数器输入引脚 TCA3_OUT-16位定时器/计数器输出引脚 PPGA3B - 16位PPG输出引脚
8	12	P64/TCA9_OUT/ TCA2_IN/TCA2_OUT/PPGA2B	I/O	上拉 下拉 外部中断	TCA2_IN -16位定时器/计数器输入引脚 TCA2_OUT, TCA9_OUT -16位定时器/计数器输出引脚 PPGA2B - 16位PPG输出引脚
9	13	P63/TCA1_IN/TCA1_OUT/PPG A1B/TCA9_IN/PPGA9B	I/O	上拉 下拉	TCA1_IN,TCA9_IN-16位定时器/计数器输入引脚 TCA1_OUT-16位定时器/计数器输出引脚 PPGA3B,PPGA9B- 16位PPG输出引脚
10	14	P62/ TCA0_IN/TCA0_OUT/PPGA0B/ TCA8_IN/TCA8_out PPGA8B	I/O	上拉 下拉	TCA0_IN, TCA8_IN -16位定时器/计数器输入引脚 TCA0_OUT, TCA8_OUT -16位定时器/计数器输出引脚 PPGA0B, PPGA8B -16位PPG输出引脚
11	15	P61/INT9/KWI9/SCL	I/O	上拉 下拉 外部中断 唤醒输入 高驱动电流	INT9- 外部中断 KWI9- 唤醒输入 SCL-I2C 引脚
12	16	P60/INT8/ KWI8/ SDA	I/O	上拉 下拉 外部中断 唤醒输入 I2C 高驱动电流	INT8- 外部中断 KWI8- 唤醒输入 SDA- I2C 引脚
13	17	P00/INT0/KWI0/AIN0/CMP0_P	I/O	上拉 下拉 外部中断 唤醒输入 ADC 输入 比较器输入	INT0-外部中断 KWI0- 唤醒输入 AIN0- ADC 输入 CMP0_P- 比较器输入

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

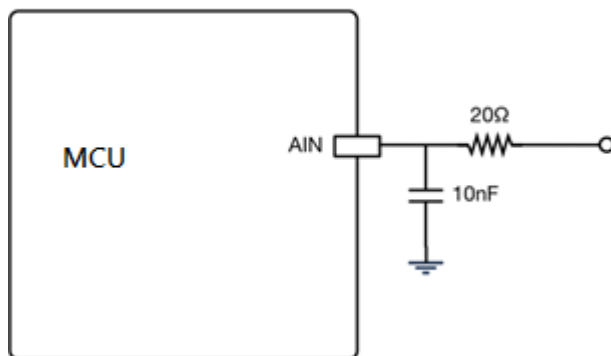
14	18	P01/INT1/KW11/AIN1/CMP0_N/RXD2	I/O	上拉 下拉 外部中断 唤醒输入 ADC 输入 比较器输入 URAT	INT1- 外部中断 KW11-唤醒输入 AIN1- ADC 输入 CMP0_N-比较器输入 RXD2- UART数据输入引脚 (only 32pin product support)
15	-	P02/INT2/KW12/AIN2/TXD2	I/O	上拉 下拉 外部中断 唤醒输入 ADC 输入 URAT	INT2- 外部中断 KW12- 唤醒输入 AIN2- ADC 输入 TXD2- UART数据输出引脚
16	19	P03/INT3/KW13/AIN3/TXD1	I/O	上拉 下拉 外部中断 唤醒输入 ADC 输入 URAT	INT3- 外部中断 KW13- 唤醒输入 AIN3- ADC 输入 TXD1- UART数据输出引脚
17	20	P04/INT4/KW14/AIN4/RXD1/TCA7_OUT	I/O	上拉 下拉 外部中断 唤醒输入 ADC 输入 URAT	INT4- 外部中断 KW14- 唤醒输入 AIN4- ADC 输入 RXD1- UART数据输入引脚 TCA7_OUT-16位定时器/计数器输出引脚
18	21	P05/INT5/KW15/AIN5/TCA6_IN/TCA6_OUT/PPGA6B	I/O	上拉 下拉 外部中断 唤醒输入 ADC 输入	INT5- 外部中断 KW15- 唤醒输入 AIN5- ADC 输入 TCA6_IN-16位定时器/计数器输入引脚 TCA6_OUT-16位定时器/计数器输出引脚 PPGA6B - 16位PPG输出引脚
19	22	P06/INT6/KW16/AIN6/TCA7_IN/PPGA7B	I/O	上拉 下拉 外部中断 唤醒输入	INT6- 外部中断 KW16- 唤醒输入 AIN6- ADC 输入 TCA7_IN-16位定时器/计数器输入引脚 TPPGA7B - 16位PPG输出引脚
20	-	P07/INT7/KW17/AIN7	I/O	上拉 下拉 外部中断 唤醒输入 ADC 输入	INT7- 外部中断 KW17- 唤醒输入 AIN7- ADC 输入
21	23	P10/TCA2_IN/TCA2_OUT/PPGA2B/ CMP0_O	I/O	上拉 下拉 比较器输出	TCA2_IN-16位定时器/计数器输入引脚 TCA2_OUT-16位定时器/计数器输出引脚 PPGA2B - 16位PPG输出引脚 CMP0_O-比较器输出

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

22	-	P11/INT9/KWI9/TCA3_IN/TCA3_OUT/PPGA3B/RXD2	I/O	上拉 下拉 外部中断 唤醒输入 URAT	INT9- 外部中断 KWI9- 唤醒输入 TCA3_IN-16位定时器/计数器输入引脚 TCA3_OUT-16位定时器/计数器输出引脚 PPGA3B - 16位PPG输出引脚 RXD2- UART 数据输入引脚
23	24	P12/DBG/TCA7_OUT	I/O	上拉 下拉 DBG	DBG- 在线烧录 TCA7_OUT-16位定时器/计数器输出引脚
24	-	P13/TCA0_IN/TCA0_OUT/PPG0B/TXD2	I/O	上拉 下拉 URAT	TCA0_IN-16位定时器/计数器输入引脚 TCA0_OUT-16位定时器/计数器输出引脚 PPGA0B - 16位PPG输出引脚 TXD2- UART数据输出引脚
25	25	P14/SCK0/TCA3_IN/TCA3_OUT/PPGA3B	I/O	上拉 下拉 URAT SIO	SCK0-UART/SIO 时钟输出引脚 TCA3_IN-16位定时器/计数器输入引脚 TCA3_OUT-16位定时器/计数器输出引脚 PPGA3B - 16位PPG输出引脚
26	26	P15/ TXD0/SO0/TCA4_IN/TCA4_OUT/PPGA4B	I/O	上拉 下拉 URAT SIO	TXD0-UART数据输出引脚 SO0-SIO数据输出引脚 TCA4_IN-16位定时器/计数器输入引脚 TCA4_OUT-16位定时器/计数器输出引脚 PPGA4B - 16位PPG输出引脚
27	27	P16/RXD0/SIO/TCA5_IN/TCA5_OUT/PPGA5B	I/O	上拉 下拉 URAT SIO	RXD0-UART输入引脚 SIO-SIO输入引脚 TCA5_IN-16位定时器/计数器输入引脚 TCA5_OUT-16位定时器/计数器输出引脚 PPGA5B - 16位PPG输出引脚
28	28	P17	I/O	上拉 下拉	
29	1	PF2/RESET	I/O	上拉	Reset为低电平有效
30	2	PF0/XIN	I/O	上拉 下拉 外部晶振连接 (高频)	(高频)外部晶体振荡器连接输入引脚
31	3	PF1/XOUT	I/O	上拉 下拉 外部晶振连接 (高频)	(高频)外部晶体振荡器连接引脚
32	4	Vss	Power	-	接地电源输入

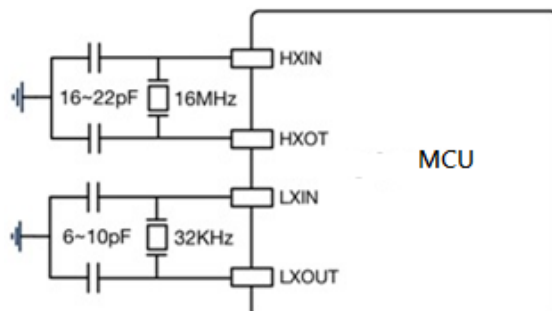
1. 进行 ADC 输入滤波 :

ADC Input Filter



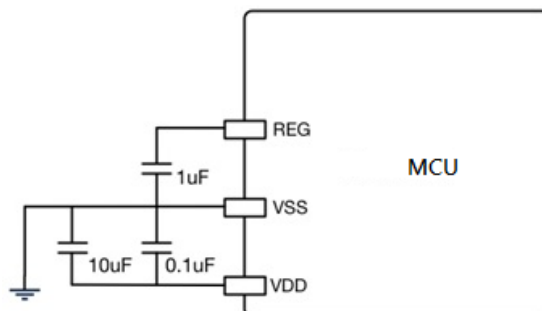
2. 使用外部参考时钟引脚 :

External Crystal



3. 电源去耦(power decoupling) :

Power Decoupling Cap



4. 复位引脚线路 :

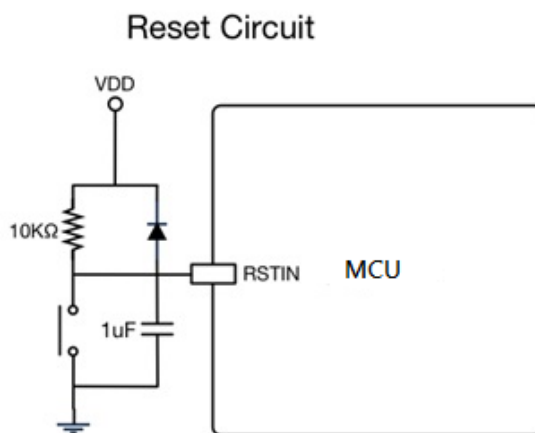


图 2.4 为在使用 SQ7653 产品时建议的外部参考线路，若使用到相关引脚功能时，请参考所对应的接线建议：

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

3.电气特性

3.1 极限参数

单片机操作时切勿超过以下任一项极限参数值。即使仅是极短时间，也可能造成单片机损坏或性能衰退，严重者可能导致起火或爆炸、造成伤害。因此，请确保采用本单片机设计开发之产品 或系统不超过以下极限参数值。

($V_{SS} = 0V$)

参数	符号	引脚	极限参数	单位
工作电压范围	V_{DD}		-0.3 to 6.0	V
输入电压范围	V_{IN}	全部数位元引脚	-0.3 to $V_{DD}+0.3$	V
最大输出拉电流		全部 I/O 引脚	100	mA
储存温度范围	T_{STG}		-50 to 125	°C

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

3.2 工作条件

以下定义出当装置于电压及温度最大/最小值运行时其电气特性。除非另有说明，否则标准条件是在「室温 25°C及标准工作电压 $V_{DD}=5V$ 」下测定而得。

3.2.1 工作条件

参数	符号	测试条件	最小	标准	最大	单位
工作电压	V_{DD}		2.0	-	5.5	V
模拟工作电压	V_{DDA}		2.0	-	5.5	V
复位电压(注)	V_{RST}		1.89	1.95	2.01	V
工作温度	T_a		-40	25	85	°C

注：复位电压使用 BROR 第一阶

3.2.2 时钟源

参数	符号	测试条件	最小	标准	最大	单位
外部时钟源						
外部低速时钟	f_{LXIN}			32768		Hz
外部高速时钟	f_{XIN}		1		16	MHz
内部时钟源						
内部高速时钟 (PLL) (注 1)	f_{PLL}	$T_A = 25^\circ\text{C}$	- 1%	24	+ 1%	MHz
		$T_A = 0 \sim 50^\circ\text{C}$ (注 2)	- 1%	24	+ 1%	
		$T_A = -20 \sim 70^\circ\text{C}$ (注 2)	- 1.5%	24	+ 1.5%	
		$T_A = -40 \sim 85^\circ\text{C}$	- 2%	24	+ 2%	
内部低速时钟	f_{LIRC}	$T_A = 25^\circ\text{C}$	-15%	32	+ 15%	kHz
		$T_A = -40 \sim 85^\circ\text{C}$	-30%	32	+ 30%	

注 1：PLL 来源可为外部晶振(HXTAL)，但外部晶振需为 8MHz。

注 2：此规格为 $V_{DD} = 5V \pm 10\%$ (即 4.5~5.5V)条件下。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

3.2.3 I/O 特性

VDD=5±10%, VSS=0V, Ta=-40~85°C

参数	符号	脚位	测试条件	最小	标准	最大	单位	備註
高电平输入电压	V _{IHI}	P04,P10,P60,P61	--	0.7 VDD	--	VDD+0.3	V	CMOS input level
	V _{IHS}	P00~P07,P10~P17, P60~P67,PF0,PF1, PG1,PG2	--	0.8 VDD	--	VDD+0.3	V	Hysteresis input
	V _{IHM}	PF2	--	0.8 VDD	--	VDD+0.3	V	Hysteresis input
低电平输入电压	V _{ILI}	P04,P16,P60,P61	--	VDD-0.3	--	0.3 VDD	V	CMOS input level
	V _{ILS}	P00~P07,P10~P17, P60~P67,PF0,PF1, PG1,PG2	--	VDD-0.3	--	0.2 VDD	V	Hysteresis input
	V _{ILM}	PF2	--	VDD-0.3	--	0.2 VDD	V	Hysteresis input
Open-drain 输出应用电压	V _D	P60,P61	--	VSS-0.3	--	VSS+5.5	V	
高电平输出电压	V _{OH1}	P12,P62~P67,PF2 以外的脚位	IOH=-4mA	VDD-0.5	--	--	V	
	V _{OH2}	P62~P67	IOH=-8mA	VDD-0.5	--	--	V	
低电平输出电压	V _{OL1}	P62~P67 以外的脚位	IOL=4mA	--	--	0.4	V	
	V _{OL2}	P62~P67	IOL=12mA	--	--	0.4	V	
Input leak current (Hi-Z output leak current)	I _{LI}	所有输入脚位	0V < V _I < VDD	-5	--	+5	uA	内部上拉电阻关闭
上拉电阻	R _{PULL}	P00~P07,P10,P11, P13~P17,P62~P67, PG1,PG2	V _I = 0V	25	50	100	kohm	内部上拉电阻启动
输入电容	C _{IN}	VSS 与 VDD 除外	F=1MHz	--	5	15	pF	

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

3.3 直流(DC)特性

Operating @ 5V+/- 10% , Ta= -40~85°C						
参数	符号	测试条件	最小	标准	最大	单位
普通模式 (LIRC 启动 · 由 Flash 执行)	I _{DD_N0}	内部高速时钟为 24MHz (PLL)		5.5		mA
	I _{DD_N1}	内部低速时钟 LIRC 32KHz (LIRC)		0.8		mA
	I _{DD_N2}	外部高速时钟(HXTAL)为系统时钟 fsysclk=16MHz (HXTAL)		3.8		mA
	I _{DD_N3}	外部低速时钟(LXTAL)为系统时钟 fsysclk=32768Hz (LXTAL)		0.8		mA
睡眠模式 (LIRC 启动 · CPU 时钟停止运行)	I _{DD_SL0}	内部高速时钟为 24MHz (PLL)		2.7		mA
	I _{DD_SL1}	内部低速时钟 LIRC 32KHz (LIRC)		0.8		mA
	I _{DD_SL2}	外部高速时钟(HXTAL)为系统时钟 fsysclk=16MHz (HXTAL)		2.0		mA
	I _{DD_SL3}	外部低速时钟(LXTAL)为系统时钟 fsysclk=32768Hz (LXTAL)		0.8		mA
深眠模式 (LIRC 启动 · CPU 以及 RAM 为保持寄存器模式)	I _{DD_DS0}	RTC 不启动 (Ta=25C)		1.5		uA
	I _{DD_DS1}	RTC 启动, LXTAL on (Ta=25C)		1.8		uA

3.4 上电复位电气特性

V_{SS}=0, T_a=-40~85°C

符号	叙述	最小	标准	最大	单位
VPROFF	上电复位释放电压 Power-on reset releasing voltage	1.89	1.95	2.01	V
VPRON	上电复位侦测电压 Power-on reset detecting voltage	1.84	1.90	1.96	V
tPROFF	上电复位释放时间 Power-on reset releasing response time	-	0.01	0.1	ms
tPRON	上电复位侦测释放时间 Power-on reset detecting response time	-	0.01	0.1	ms
tPPW	上电复位最小脉宽 Power-on reset minimum pulse width	1	-	-	ms
tPWUP	上电复位后到 CPU ready 时间 Warming-up time after a reset is clear and CPU ready	-	4	-	ms
tVDD	上电时间 Power supply rise time	0.5		5	ms

注：此 tPWUP 不包含 BOOTROM code 执行时间。

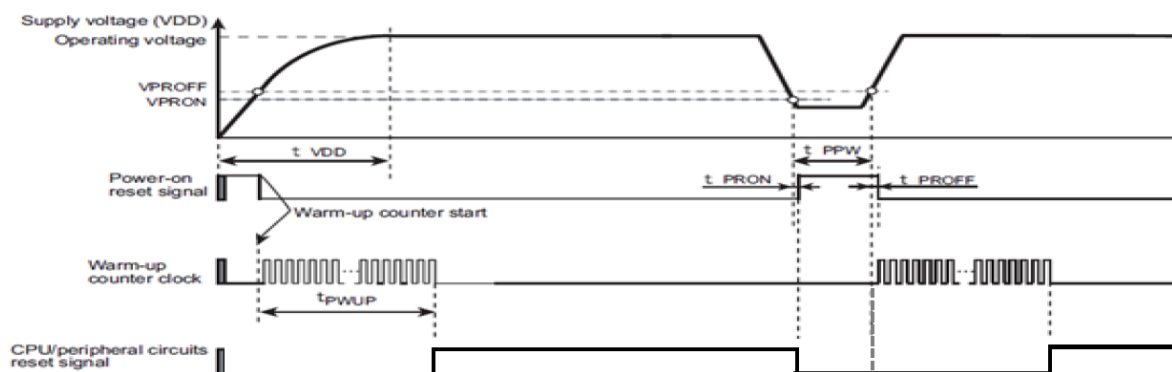


图 3-1 上电复位时序图

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

3.5 BROR 电气特性

Ta=-40~85°C						
参数	符号	测试条件	最小	标准	最大	单位
BROR 检测电压	VBRORON1	BRORCFG=00	1.84	1.90	1.96	V
	VBROROFF1		1.89	1.95	2.00	V

3.6 LVD 电气特性

Ta=-40~85°C						
参数	符号	测试条件	最小	标准	最大	单位
LVD 检测电压	VLVD1	Falling Mode,第一阶, LVDCFG=000	1.94	2.00	2.06	V
	VLVD2	Falling Mode,第二阶, LVDCFG=001	2.28	2.35	2.42	V
	VLVD3	Falling Mode,第三阶, LVDCFG=010	2.57	2.65	2.73	V
	VLVD4	Falling Mode,第四阶, LVDCFG=011	2.76	2.85	2.94	V
	VLVD5	Falling Mode,第五阶, LVDCFG=100	3.06	3.15	3.24	V
	VLVD6	Falling Mode,第六阶, LVDCFG=101	3.86	3.98	4.10	V
	VLVD7	Falling Mode,第七阶, LVDCFG=110	4.07	4.20	4.33	V
	VLVD8	Falling Mode,第八阶, LVDCFG=111	4.37	4.50	4.64	V

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

3.7 ADC 电气特性

VREF_ADC=VDD 4.5V ≤ VDD ≤ 5.5V, TA= -45~85°C						
参数	符号	测试条件	最小	标准	最大	单位
分辨率	RES _{ADC}			12		bits
最大转换速率	f _{ADC}				470	KSPS
微分非线性误差(DNL)	DNL _{ADC}				±2.5	LSB
积分非线性误差(INL)	INL _{ADC}				±3.5	LSB
绝对增益精度	E _{GAIN}				±5	LSB
偏移误差	E _{OFFSET}				±4.5	LSB
输入电压范围	V _{ADC_RNG}				VDD	V
VREF_ADC 电压范围	V _{REF_ADC}		VDD ^注			V

注：VREF_ADC=VDD · 电压范围 2~5.5V

VREF_ADC=VDD 2V ≤ VDD ≤ 5.5V, TA= -45~85°C						
参数	符号	测试条件	最小	标准	最大	单位
分辨率	RES _{ADC}			12		bits
最大转换速率	f _{ADC}				470	KSPS
微分非线性误差(DNL)	DNL _{ADC}				±4	LSB
积分非线性误差(INL)	INL _{ADC}				±5	LSB
绝对增益精度	E _{GAIN}				±6	LSB
偏移误差	E _{OFFSET}				±6	LSB
输入电压范围	V _{ADC_RNG}				VDD	V
VREF_ADC 电压范围	V _{REF_ADC}		VDD ^注			V

注：VREF_ADC=VDD · 电压范围 2~5.5V

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

3.8 Flash 电气特性

($V_{SS} = 0V, 2.0V \leq V_{DD} \leq 5.5V, T_{OPR} = -40 \text{ to } 85^{\circ}C$)

参数	测试条件	最小	标准	最大	单位
Flash 存储器保证烧写次数		—	—	100,000	次
Flash 存储器烧写时间	烧写时间(per byte)	—	—	40	μs
Flash 存储器擦除时间	整颗擦除 chip erase	—	—	40	ms
	区块擦除 sector erase	—	—	5	
	(1 区块 = 512 字节)				

注: 此特性包含代码闪存(code flash)与数据闪存(data flash).

4. 中央处理器(CPU)

SQ7653 产品架构为 870E 核心

- 丰富指令集可支持 C 语言编码更精简
 - 9 种寻址模式
 - 乘法与除法器指令
 - 位操作指令
 - 16 位算术逻辑单元(ALU)及下载/储存指令
 - 跳转与呼叫指令

- 寄存器文件支持快速上下文切换
 - 2 个 8 位以及 16 位通用寄存器(GPRs)
 - 2 组 8 个 8 位 GPRs
 - 2 组 8 个 16 位 GPRs
 - 16 位程序计数器(PC)
 - 16 位堆栈指针(SP)
 - 7 位程序状态字 (PSW)

- 内存空间
 - 56 KB Flash 内存 (Code Flash:48K Bytes, Data Flash: 8K Bytes)
 - 2K Bytes RAM

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

4.1 符号对照

符号	描述	符号	描述
A	A register	r,g	8-bit register
W	W register	rr, gg	16-bit register
B	B register	n	4-bit or 8-bit immediate data
C	C register	mn	16-bit immediate data
D	D register	d	Signed 5-bit or 8-bit displacement
E	E register	x,y	8-bit direct address
H	H register	vw, uz	16-bit direct address
L	L register	(XX)	Memory contents at the address specified by XX
WA	WA register	(xx+1, XX)	Two consecutive bytes from the memory location specified by XX
BC	BC register	b	Bit number (0 to 7)
DE	DE register	.b	Content of bit specified by b
HL	HL register	↔	Exchange
IX	IX register	+	Add
IY	IY register	-	Subtract
PC	Program Counter	x	Multiply
SP	Stack Pointer	÷	Division
PSW	Program Status Word	&	Bitwise AND
JF	Jump Status flag		Bitwise OR
CF	Carry flag	^	Bitwise exclusive OR
HF	Half carry flag	null	No operation
SF	Sign flag	\$	Start address of instruction being executed
VF	Overflow flag	(src)	Source memory
/CF	Inverse of carry flag	(dst)	Destination memory
IMF	Interrupt Master Enable flag	(srcdst)	Source and destination memory
NxtOp	Address of next operation	RBS	Register Bank Selector

表 4.1 文件内所使用符号

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

助记符	描述	助记符	描述
ADD	Add	OR	Logical OR
ADDC	Add with carry	POP	Pop up
AND	Logical AND	PUSH	Push down
CALL	Call	RET	Return from subroutine
CALLV	Vector call	RETI	Return from maskable interrupt service routine
CLR	Clear bit/byte	RETN	Return from non-maskable interrupt service routine
CMP	Compare	ROLC	Rotate left through carry
DAA	Decimal adjust for 8-bit addition	ROLD	Rotate left digit
DAS	Decimal adjust of 8-bit subtraction	RORC	Rotate right through carry
DEC	Decrement byte/word (Register)	RORD	Rotate right digit
DI*	Disable maskable interrupt	SET	Bit test and set
DIV	Divide byte quotient	SHLC	Logical shift left
EI*	Enable interrupt	SHLCA	Arithmetic shift left
INC	Increment byte/word (Register)	SHRC	Logical shift right
J*	Optimized jump	SHRCA	Arithmetic shift right
JP	Absolute jump	SUB	Subtract
JR	Relative jump	SUBB	Subtract with borrow
JRS	Short relative jump	SWAP	swap nibble
LD	Load bit/byte/word (Register)/effective address	SWI	Software interrupt
LDW	Load word (Memory)	TEST*	Bit test
MUL	Multiply	XCH	Exchange
NEG	Negate	XOR	Logical exclusive OR
NOP	No operation	OR	Logical OR

表 4.2 指令助记符

注: 上方标注星号(*)之指令助记符为扩充汇编机器指令

4.2 核心寄存器

寄存器组及核心寄存器如下图

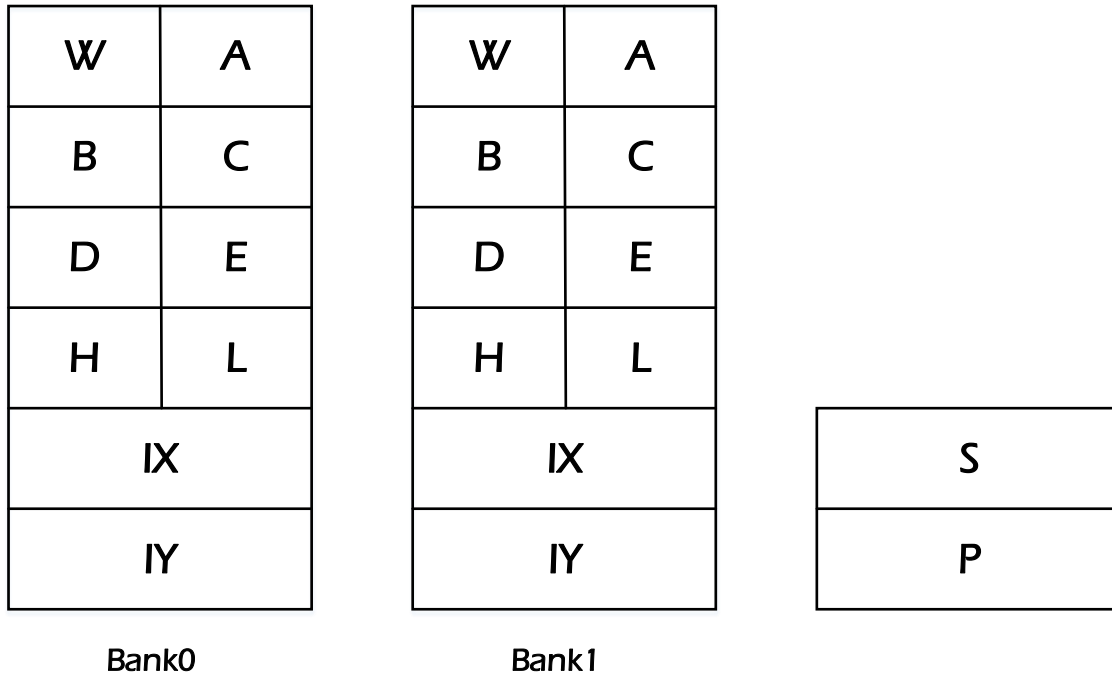


图 4.1 核心寄存器

4.2.1 8 位通用寄存器

SQ7653 产品拥有 2 组相同的寄存器组，每组皆由 8 个 8 位寄存器所组成，这些通用寄存器是 W、A、B、C、D、E、H 及 L。这些寄存器也可相互配对成 16 位寄存器对 WA、BC、DE 以及 HL。当系统复位时，这些寄存器亦会复位为 0。

下列各章节将分别描述寄存器的特殊用途。

A 寄存器

利用 A 寄存器，位操作指令可指定一寄存器中的某个位，测试其数值或令其改变数值。A 寄存器也可支持 PC 相对寄存器间接寻址。

范例如下：

SET (0x56).A ; A 寄存器指定存储器 0x0056 位置并设置为 1

LD A(PC+A) ; 加载存储器 PC+A 位置之内容至 A 寄存器

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

C 寄存器

于除法指令中，C 寄存器作为除数寄存器，亦可于寄存器索引寻址时作为补偿值之寄存器。

范例如下：

```
DIV WA, C ; C 为除数
LD A,(HL+C) ; C 为偏移量补偿寄存器
```

DE 寄存器

于寄存器间接寻址时，此 16 位 DE 寄存器保存操作数所在的存储器地址。

范例如下：

```
LD A, (DE) ; DE 为保存存储器地址之寄存器
```

HL 寄存器

寄存器间接寻址时，此 16 位 HL 寄存器保存操作数所在的存储器地址。索引寻址时，HL 寄存器当作索引寄存器使用。

范例如下：

```
LD A, (HL) ; HL 为保存存储器地址之寄存器
LD A, (HL+0x52) ; HL 为索引寄存器
LD A, (HL+C) ; HL 为索引寄存器
```

4.2.2 16 位通用寄存器

SQ7653 产品有 2 个 16 位通用寄存器 IX 和 IY。寄存器间接寻址时，IX 和 IY 寄存器保存操作数所在的存储器地址。索引寻址时，IX 和 IY 寄存器当作索引寄存器使用。当系统复位时 IX 和 IY 寄存器则会复位为 0。

范例如下：

```
LD A, (IX) ; IX 为保存存储器地址之寄存器
LD A, (IY+0x52) ; IY 为索引寄存器
LD IX(0x3A) ; IX 为通用寄存器
```

在非多重中断操作时，核心寄存器功能可用来存储通用寄存器。在中断开始时，设定运算指令(如范例：LD RBS,1)，核心寄存器功能将可进行存储或转换。中断结束后，不需再重新执行运算指令，RETI 指令将会依 PSW 内容，自动将核心寄存器恢复主任务执行时的寄存器。

注：两个核心寄存器(BANK0 与 BANK1)都可使用。各核心寄存器由 8 位通用寄存器(W,A,B,C,D,E,H 与 L)和 16 位通用寄存器(IX 与 IY)所组成。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

范例：主任务使用 BANK0，透过指令转换为 BANK1。

```

PINTxx :      LD          RBS,1          ;Switches to the register bank BANK1
              Interrupt processing
              RETI          ;RETURN
                          (Makes a return automatically to
                          BANK0 that was being used by the
                          main task when the PSW is restored)
    
```

4.2.3 程序状态字

程序状态字 PSW 位于地址 0x003F 的特殊功能寄存器 SFR 中。程序状态字 PSW 包含以下 6 个标帜位:

跳转状态标帜位 Jump Status Flag, JF

零标帜位 Zero Flag, ZF

进位标帜位 Carry Flag, CF

半进位标帜位 Half Carry Flag, HF

正负号标帜位 Sign Flag, SF

溢位标帜位 Overflow Flag, VF

除了通用的装载指令，专用指令亦可存取程序状态字组。下方表格列出条件跳转指令(例如“JJ cc,a”及“JRS cc,a”指令)中标志位的状况。

条件代码	描述	标志位状态
T	1	JF = 1
F	0	JF = 0
Z	Zero	ZF = 1
NZ	Not zero	ZF = 0
CS	Carry set	CF = 1
CC	Carry clear	CF = 0
VS	Overflow set	VF = 1
VC	Overflow clear	VF = 0
M	Minus	SF = 1
P	Plus	SF = 0
EQ	Equal	ZF = 1
NE	Not equal	ZF = 0
LT	Unsigned less than	CF = 1
GE	Unsigned greater than or equal to	CF = 0
LE	Unsigned less than or equal to	(CF ^ ZF) = 1
GT	Unsigned greater than	(CF ^ ZF) = 0
SLT	Signed less than	(SF ^ VF) = 1
SGE	Signed greater than or equal to	(SF ^ VF) = 0
SLE	Signed less than or equal to	ZF ^ (SF ^ VF) = 1
SGT	Signed greater than	ZF ^ (SF ^ VF) = 0

表 4.3 条件代码表

4.2.4 堆栈指针(SP)

堆栈指针 SP 是一个 16 位寄存器，用来存放堆栈区中下一个可用空闲区域的地址。执行堆栈指令 PUSH、调用一个子程序或系统中断后，堆栈指针 SP 会减 1。执行弹出指令 POP、由子程序或中断返回前，堆栈指针 SP 加 1。堆栈区中的地址次序安排是由高至低排列。

4.2.5 程序计数器(PC)

程序计数器 PC 是个 16 位寄存器，用来指示下一条要被执行的指令在程序存储器的地址。复位后，中央处理器 CPU 会将保存在矢量表中的复位矢量，装载进程序计数器 PC。CPU 接着读取并执行程序计数器所指示的地址所保存的指令。

4.3 寻址模式

SQ7653 产品线具备 9 种寻址模式，其中部分模式拥有不只一种类型，皆会于之后的章节分别描述。

寻址模式	类型数
寄存器间接寻址	7
直接寻址	2
寄存器寻址	1
立即寻址	1
相对寻址	2
绝对寻址	1
矢量寻址	1
直接位寻址	2
寄存器间接位寻址	1
总计	18

表 4.4 寻址模式及类型数量列表

4.3.1 寄存器间接寻址

寄存器间接寻址(HL), (DE), (IX), (IY)

16 位寄存器组 HL、DE、IX 及 IY 内容为有效地址。

范例：LD A,(HL)

寄存器间接加以 8 位偏移寻址(HL+d), (IX+d), (IY+d)

16 位寄存器 HL、IX、IY 内容，再加入符号扩展之 8 位偏移量 d 脚本，为有效地址。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

范例：LD A,(HL + 0x12)

寄存器索引寻址(HL + C)

寄存器 HL 内容，再加入符号扩展之 C 寄存器内容，为有效地址。

范例：LD A, (HL + C)

堆栈指针间接加以自动前置递增寻址(+SP)

堆栈指针 SP 递增内容为有效地址，而递增的 SP 不会影响到标志位。请注意，此寻址模式只能使用于指定源存储器地址。

范例：LD A, (+SP)

堆栈指针间接加以自动递减寻址(SP-)

SP 为有效地址，于数据处理后，SP 的内容会自动递减，此寻址模式只能使用于指定目标存储器地址。

范例：LD (SP-),A

堆栈指针间接加以 8 位偏移寻址(SP+d)

SP 内容，并于脚本中符号扩展 8 位偏移量 d，结合以上为有效地址。

范例：LD WA, (SP + 0xD6)

PC 相对寄存器间接寻址(PC+A)

程序计数器 PC 内容，再加入符号扩展之 A 寄存器内容，为有效地址，此寻址模式只能使用于指定源地址。

范例：LD A, (PC + A)

4.3.2 直接寻址

8 位直接寻址(x)

有效地址直接指定为 8 位脚本 x，地址范围由 0x0000 至 0x00FF。

范例：LD A, (0x87)

16 位直接寻址(vw)

有效地址直接指定为 16 位脚本 vw，地址储存范围由 0x0000 至 0xFFFF。

范例：LD A, (0x5678)

4.3.3 寄存器寻址(r 或 rr)

r 或 rr 寄存器指令操作码之指定子可选定欲存取之寄存器。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

范例：LD A, B

4.3.4 立即寻址(n 或 mn)

n 或 mn 寄存器指令操作码之指定子可选定欲存取之寄存器。

范例：LD A, 0x53

4.3.5.相对寻址

PC 相对加以 8 位偏移寻址

程序计数器 PC 内容，并于脚本中符号扩展 8 位偏移量 d，结合以上为有效地址。仅 JR 指令具有此寻址模式。

范例：JR \$ + 2 + 0x35

PC 相对加以 5 位偏移寻址

程序计数器 PC 内容，并于脚本中符号扩展 8 位偏移量 d，结合以上为有效地址。仅 JRS 指令具有此寻址模式。

范例：JRS \$ + 2 + 0x14

4.3.6 绝对寻址

有效位置为 16 位指令操作码指定。

范例：JR 0x0F1A3

4.3.7 矢量寻址

4 位运算符乘 2 后加入矢量呼叫表上方地址，并指出 16 位跳转目标地址(矢量地址)。只有 CALLV 指令拥有此寻址模式。

4.3.8 直接位寻址

寄存器位寻址

寄存器以及位指定子之指令操作码可于寄存器中选定一位位置，并对其值进行测试或是更换。

范例：SET A.3

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

存储器位寻址

存储器位寻址模式，脚本之位指定子选定于存储器中的位，其位所在位置由(HL)、(DE)、(IX)、(IY)、(HL+d)、(IX+d)、(IY+d)、(HL+C)、(+SP)、(SP+d)、(PC+A)、(x)或(vw)指出，并于此特定位进行位操作。

范例：SET (HL).1

4.3.9 寄存器间接位寻址

于存储器位寻址模式，A 寄存器中 3 个低阶位指定存储器中的任一位，其所在位置由(HL)、(DE)、(IX)、(IY)、(HL + d)、(IX + d)、(IY + d)、(HL + C)、(+SP)、(SP + d)、(PC + A)、(x)或(vw)指出，并于此特定位进行位操作。

范例：SET (HL).A

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

4.4 指令流水線

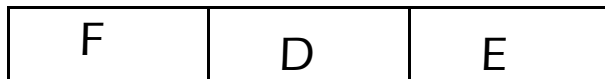
SQ7653 产品线核心使用三阶流水线执行指令动作，指令包含利用额外存取循环之存储器读存取

- 寄存器对寄存器运行
- 寄存器对存储器运行
- 存储器对寄存器运行
- 存储器对存储器运行
- 转跳
- 子过程调用及返回
- 软件中断(SWI)

4.4.1 寄存器对寄存器运行

此运行方式为三阶流水线，详如下列所述。

寄存器对寄存器运行之流水线作业	
代码	阶段工作
F	指令取出阶段，指令执行码会由编码存储器返回
D	指令译码阶段，指令被译码后传送至作业单元
E	指令运行时间，执行单元会对指令进行作业，其结果会于执行循环结束后写回至寄存器堆



4.4.2 寄存器对存储器运行

此运行方式为三阶流水线，详如下列所述。

寄存器对存储器运行之流水线作业	
代码	阶段工作
F	指令取出阶段，指令执行码会由编码存储器返回
D	指令译码阶段，指令被译码后传送至作业单元
E	运行时间，执行单元会对指令进行作业，其结果于执行循环结束后写回储存数据缓冲器。缓冲器内的数据会于下一个循环时传送至总线接口

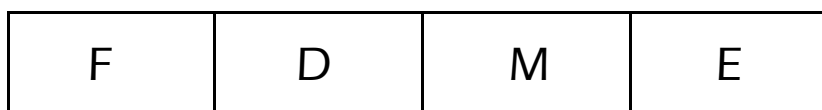


Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

4.4.3 存储器对寄存器运行

此类型的操作具存储器读取，因此有另一个存储器存取循环。

存储器对寄存器运行之流水线作业	
代码	阶段工作
F	指令取出阶段，指令执行码会由编码存储器返回
D	指令译码阶段，指令被译码后传送至作业单元
M	存储器存取循环，产生地址并传送至数据总线接口
E	运行时间，装载的数据会返回且执行单元进行作业，其结果会于执行循环结束后写回寄存器堆



4.4.4 存储器对存储器运行

此类型的操作在存储器写循环后进行存储器读取，因此具另一个存储器存取循环。

存储器对存储器运行之流水线作业	
代码	阶段工作
F	指令取出阶段，指令执行码会由编码存储器返回
D	指令译码阶段，指令被译码后传送至作业单元
M	存储器存取循环，产生地址并传送至数据总线接口
E	运行时间，装载的数据会返回且执行单元进行作业，其结果会于执行循环结束后写回寄存器堆。其缓冲器内的数据会于下一个循环时传送至总线接口



Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

4.4.5 跳转

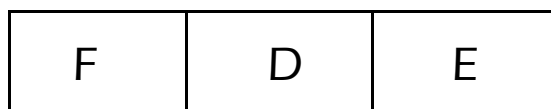
两种跳转类型：

跳转类型 1		跳转类型 2	
寻址模式	操作码	寻址模式	操作码
寄存器寻址	JP gg	寄存器间接寻址	JP (src*) *src: DE, HL, IX, IY, IX+d, IY+d, SP+d, HL+d, HL+C, +SP, PC+A
立即寻址	JP mn	直接寻址	JP (src*) *src: X, VW
相对寻址	1) PC 相对加以 8 位偏移寻址 JR T, \$+2+d, etc. 2) PC 相对加以 5 位偏移寻址 JRS T, \$+2+d, etc.		
绝对寻址	JP 0x0F1A3		

◆ 类型 1 流水线：

此种转跳类型有三阶流水线作业，详如下列所述。

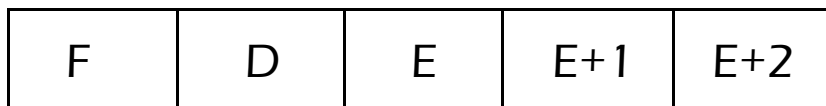
跳转类型 1 之流水线作业	
代码	阶段工作
F	指令取出阶段，指令执行码会由编码存储器返回
D	指令译码阶段，指令被译码后传送至作业单元
E	运行时间，执行单元会对指令进行作业，其结果会于执行循环结束后写回至寄存器堆



◆ 类型 2 流水线：

此种跳转类型有五阶流水线作业，详如下列所述。

跳转类型 2 之流水线作业	
代码	阶段工作
F	指令取出阶段，指令执行码会由编码存储器返回
D	指令译码阶段，指令被译码后传送至作业单元
E	运行时间，数据单元产生间接地址后传送至数据总线接口
E+1	转跳目标地址返回并储存于装载数据缓冲器
E+2	指令取出地址产生



Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

4.4.6 子过程调用及返回

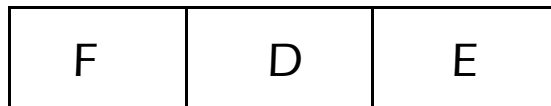
两种呼叫类型：

呼叫类型 1		呼叫类型 2	
寻址模式	操作码	寻址模式	操作码
寄存器寻址	-	寄存器寻址	-
立即寻址	-	直接寻址	-
绝对寻址	CALL 0x0F1A3		
矢量寻址	CALLV 0x9		

◆ 类型 1 流水线

此种呼叫类型有三阶流水线作业，详如下列所述。

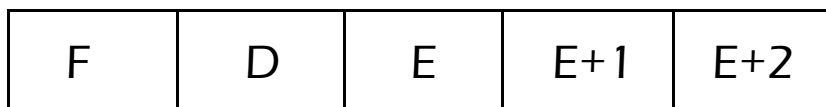
呼叫类型 1 之流水线作业	
代码	阶段工作
F	指令取出阶段，指令执行码会由编码存储器返回
D	指令译码阶段，指令被译码后传送至作业单元
E	运行时间，执行单元会对指令进行作业，其结果会于执行循环结束后写回至寄存器堆



◆ 类型 2 流水线

此种跳转类型有五阶流水线作业，详如下列所述。

呼叫类型 2 之流水线作业	
代码	阶段工作
F	指令取出阶段，指令执行码会由编码存储器返回
D	指令译码阶段，指令被译码后传送至作业单元
E	运行时间，数据单元产生间接地址后传送至数据总线接口
E+1	跳转目标地址返回并储存于装载数据缓冲器
E+2	指令取出地址产生

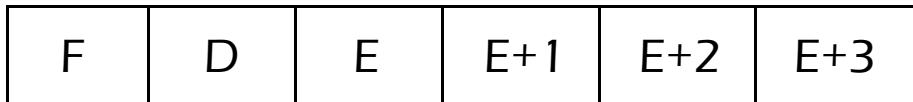


Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

4.4.7 软件中断(SWI)

软件中断指令有六阶流水线作业，详如下列所述。

软件中断之流水线作业	
代码	阶段工作
F	指令取出阶段，指令执行码会由编码存储器返回
D	指令译码阶段，指令被译码后传送至作业单元
E	运行时间，执行 SWI 指令，指令单元接收中断矢量地址同时产生指令取出地址。在此循环，PSW 推至堆栈区
E+1	中断矢量返回且将指令缓冲器视为转跳指令输入。在此循环，下一个操作码地址被推至堆栈区
E+2	译码跳转目标地址
E+3	指令单元矢量传至 SWI 中断程序



Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

4.5 指令集总结

指令集可分成 5 个群族如下，并于各个节说明；此章节亦会描述指令助记符以及执行循环

数据传送及交换指令

算术逻辑单元(ALU)指令

位移/旋转及半字节操作指令

位及标志操作指令

转跳指令

呼叫、返回、软件中断以及无操作指令

4.5.1 数据传送及交换指令

运算动作	描述	汇编语言	指令周期
Move	8-bit register to register operation	ld r, g	1
	16-bit register to register operation	ld rr, gg	1
	8-bit immediate to register	ld r, n	1
	16-bit immediate to register	ld rr, mn	1
	16-bit SP register move operation	ld SP, SP+d	1
	16-bit SP register move operation	ld SP, SP-d	1
Load	8-bit memory to register operation	ld r, (src*)	1
	16-bit memory to register	ld rr, (src*)	1
Store	8-bit register to memory	ld (dst*), r	1
	16-bit register to memory	ld (dst*), rr	1
	8-bit immediate to memory	ld (dst*), n	1
	16-bit immediate to memory	ld (dst*), mn	1
Push	16-bit register to memory stack	push rr	1
	8-bit PSW register to memory stack	push PSW	1
Pop	16-bit register from memory stack	pop rr	1
	8-bit PSW register from memory stack	pop PSW	1
Exchange	8-bit register to register	xch r,g	1
	16-bit register to register	xch rr,gg	1
	8-bit register to memory	xch r,(src*)	1
	16-bit register to memory	xch rr,(src*)	1

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

运算动作	描述	汇编语言	指令周期
注： src: x, vw, DE, HL, IX, IY, IX+d, IY+d, SP+d, HL+d, HL+C, +SP, PC+A dst: x, vw, DE, HL, IX, IY, IX+d, IY+d, SP+d, HL+d, HL+C, SP-			

表 4.5 数据传送及交换指令

4.5.2 算数逻辑单元(ALU)指令

运算动作	描述	汇编语言	指令周期
Compare	8-bit register to an immediate value	cmp g,n	1
	16-bit register to an immediate value	cmp gg,mn	1
	8-bit register to another register	cmp r,g	1
	16-bit register to another register	cmp rr,gg	1
	8-bit register to memory content	cmp r,(src*)	1
	8-bit memory content to an immediate value	cmp (src*),n	1
	16-bit register to a memory content	cmp rr,(src*)	1
Add	8-bit register to an immediate value	add g,n	1
	16-bit register to an immediate value	add gg,mn	1
	8-bit register to another register	add r,g	1
	16-bit register to another register	add rr,gg	1
	8-bit register to memory content	add r,(src*)	1
	8-bit memory content to an immediate value	add (srcdst*),n	1
	16-bit register to a memory content	add rr,(src*)	1
Add with carry	8-bit register to an immediate value	addc g,n	1
	16-bit register to an immediate value	addc gg,mn	1
	8-bit register to another register	addc r,g	1
	16-bit register to another register	addc rr,gg	1
	8-bit register to memory content	addc r,(src*)	1
	8-bit memory content to an immediate value	addc (srcdst*),n	1
	16-bit register to a memory content	addc rr,(src*)	1
Substract	8-bit register to an immediate value	sub g,n	1
	16-bit register to an immediate value	sub gg,mn	1
	8-bit register to another register	sub r,g	1
	16-bit register to another register	sub rr,gg	1

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

运算动作	描述	汇编语言	指令周期
	8-bit register to memory content	sub r,(src*)	1
	8-bit memory content to an immediate value	sub (src*),n	1
	16-bit register to a memory content	sub rr,(src*)	1
Substract with borrow	8-bit register to an immediate value	subb g,n	1
	16-bit register to an immediate value	subb gg,mn	1
	8-bit register to another register	subb r,g	1
	16-bit register to another register	subb rr,gg	1
	8-bit register to memory content	subb r,(src*)	1
	8-bit memory content to an immediate value	subb (srcdst*),n	1
	16-bit register to a memory content	subb rr,(src*)	1
bitwise logical AND	8-bit register to an immediate value	and g,n	1
	16-bit register to an immediate value	and gg,mn	1
	8-bit register to another register	and r,g	1
	16-bit register to another register	and rr,gg	1
	8-bit register to memory content	and r,(src*)	1
	8-bit memory content to an immediate value	and (srcdst*),n	1
	16-bit register to a memory content	and rr,(src*)	1
bitwise logical OR	8-bit register to an immediate value	or g,n	1
	16-bit register to an immediate value	or gg,mn	1
	8-bit register to another register	or r,g	1
	16-bit register to another register	or rr,gg	1
	8-bit register to memory content	or r,(src*)	1
	8-bit memory content to an immediate value	or (srcdst*),n	1
	16-bit register to a memory content	or rr,(src*)	1
bitwise logical exclusive-OR	8-bit register to an immediate value	xor g,n	1
	16-bit register to an immediate value	xor gg,mn	1
	8-bit register to another register	xor r,g	1
	16-bit register to another register	xor rr,gg	1
	8-bit register to memory content	xor r,(src*)	1
	8-bit memory content to an immediate value	xor (srcdst*),n	1
	16-bit register to a memory content	xor rr,(src*)	1
Increment	8-bit register operation	dec r	1

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

运算动作	描述	汇编语言	指令周期
	16-bit register operation	dec rr	1
	8-bit memory operation	dec (srcdst*)	1
Decrement	8-bit register operation	dec r	1
	16-bit register operation	dec rr	1
	8-bit memory operation	dec (srcdst*)	1
Add with 8-bit packed BCD number	8-bit register operation	daa g	1
Subtract with 8-bit packed BCD number	8-bit register operation	das g	1
Multiply	8-bit register operation	mul mreg1*,mreg2*	1
Divide	8-bit register operation	div dreg1*, C	9
Negate	16-bit register operation	neg CS, gg	1
注： src: x, vw, DE, HL, IX, IY, IX+d, IY+d, SP+d, HL+d, HL+C, +SP, PC+A srcdst: x, vw, DE, HL, IX, IY, IX+d, IY+d, SP+d, HL+d, HL+C, +SP, PC+A mreg1: W, B, D, H mreg2: A, C, E, L dreg1: WA, DE, HL			

表 4.6 算数逻辑单元(ALU)指令

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

4.5.3 位移/旋转及半字节操作指令

运算动作	描述	汇编语言	指令周期
Shift	8-bit register, logical shift left by one	shlc g	1
	8-bit register, logical shift right by one	shrc g	1
	16-bit register, arithmetic shift left by one	shlca gg	1
	16-bit register, arithmetic shift right by one	shrca gg	1
Rotate	8-bit register, rotate left with carry flag	rolc g	1
	8-bit register, rotate right with carry flag	rorc g	1
	8-bit memory-to-memory, rotate left and concatenate	rold A,(src*)	1
	8-bit memory-to-memory, rotate right and concatenate	rord A,(src*)	1
Swap	8-bit register, swap the high and low nibbles	swap g	1
注 :			
src: x, vw, DE, HL, IX, IY, IX+d, IY+d, SP+d, HL+d, HL+C, +SP, PC+A			

表 4.7 位移/旋转及半字节操作指令

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

4.5.4 位及标志操作指令

运算动作	描述	汇编语言	指令周期
Bit set	Set a bit of an 8-bit register using a 3-bit b field	set g.b	1
	Set a bit of a memory content using a 3-bit b filed	set (src*).b	1
	set a bit of a memory content using the loworder 3 bits of A register	set (src*).A	1
Bit clear	clear a bit of an 8-bit register using a 3-bit b field	clr g.b	1
	clear a bit of a memory content using a 3-bit b filed	clr (src*).b	1
	clear a bit of a memory content using the loworder 3 bits of A register	clr (src*).A	1
Bit complement	complement a bit of an 8-bit register using a 3bit b field	cpl g.b	1
	complement a bit of a memory content using a 3-bit b filed	cpl (src*).b	1
	complement a bit of a memory content using the low-order 3 bits of A register	cpl (src*).A	1
Bit Test	Test a bit of an 8-bit register using a 3-bit b field	test g.b	1
	Set a bit of a memory content using a 3-bit b filed	test (src*).b	1
	set a bit of a memory content using the low order 3 bits of A register	test (src*).A	1
Load Carry flag	Load the value of bit b of an 8-bit register into the Carry flag	ld CF, g.b	1
	Load the value of bit b in a memory location into the Carry flag	ld CF, (src*).b	1
	Load the value of a memory bit specified by the low-order 3 bits of register A into the Carry flag	ld CF, (src*).b	1
Store Carry flag	Store CF flag into the value of bit b of an 8-bit register	ld g.b,CF	1

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

运算动作	描述	汇编语言	指令周期
	Store CF flag into the value of bit b in a memory location	ld (src*).b,CF	1
	Store CF flag into the value of a memory bit specified by the low-order 3 bits of register A	ld (src*).b,A	1
Exclusive-OR Carry flag operation	Exclusive-OR the value of bit b of an 8-bit register with the Carry flag and place the result in the Carry flag	xor CF, g.b	1
	Exclusive-OR the value of bit b in a memory location with the Carry flag and place the result in the Carry flag	xor CF, (src*).b	1
	Exclusive-OR the value of a memory bit specified by the low-order 3 bits of register A with the Carry flag and place the result in the Carry flag	xor CF, (src*).b	1
Set Carry flag	Set the Carry flag	set cf	1
Clear Carry flag	Clear the Carry flag	clr cf	1
Complement Carry flag	Complement the Carry flag	cpl cf	1

注：

src: x, vw, DE, HL, IX, IY, IX+d, IY+d, SP+d, HL+d, HL+C, +SP, PC+A

表 4.8 位及标志操作指令

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

4.5.5 跳转指令

运算动作	描述	汇编语言	指令周期
Conditional jump	Short relative jump with true jump flag	jrs T,\$+2+d	1
	Short relative jump with false jump flag	jrs F,\$+2+d	1
	Relative jump with true jump flag	jr T,\$+2+d	1
	Relative jump with false jump flag	jr F,\$+2+d	1
	Relative jump with true Zero flag	jr EQ,\$+2+d	1
	Relative jump with false Zero flag	jr NE,\$+2+d	1
	Relative jump with true Carry flag	jr LT,\$+2+d	1
	Relative jump with false Carry flag	jr GE,\$+2+d	1
	Relative jump with true Carry and Zero flags	jr LE,\$+2+d	1
	Relative jump with false Carry and Zero flags	jr GT,\$+2+d	1
	Relative jump with true Sign flag	jr M,\$+3+d	1
	Relative jump with false sign flag	jr P,\$+3+d	1
	Relative jump with true result of an exclusive-OR operation of Sign and Overflow flags	jr SLT,\$+3+d	1
	Relative jump with false result of an exclusive-OR operation of Sign and Overflow flags.	jr SGE,\$+3+d	1
	Relative jump with true Zero flag and true result of an exclusive-OR operation of Sign and Overflow flags	jr SLE,\$+3+d	1
	Relative jump with false Zero flag and false result of an exclusive-OR operation of Sign and Overflow flags	jr SGT,\$+3+d	1
	Relative jump with true Overflow flag	jr VS,\$+3+d	1
	Relative jump with false Overflow flag	jr VC,\$+3+d	1
Unconditional Jump	Jump with immediate addressing	JP mn	1
	Jump with register addressing	JP gg	1
	Jump with direct addressing mode or register indirect addressing mode	JP (src*)	3

注 : src: x, vw, DE, HL, IX, IY, IX+d, IY+d, SP+d, HL+d, HL+C, +SP, PC+A

表 4.9 跳转指令

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

4.5.6 呼叫、返回、软件中断以及无操作指令

运算动作	描述	汇编语言	指令周期
Subroutine call	Vectored subroutine call	callv n	1
	Absolute subroutine call	call mn	1
	Subroutine call with register addressing mode	call gg	1
	Subroutine call with direct addressing mode or register indirect addressing mode	call (src*)	3
Return	Return from a subroutine	ret	3
	Return from a maskable interrupt service routine	reti	3
	Return from a non-maskable interrupt service routine	retn	3
Software interrupt	Software interrupt instruction	swi	4
NOP	No operation	nop	1
注：			
src: x, vw, DE, HL, IX, IY, IX+d, IY+d, SP+d, HL+d, HL+C, +SP, PC+A			

表 4.10 呼叫、返回、软件中断以及无操作指令

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

5. 寻址区域

寻址区域可分作程序区域以及数据区域，其编码及数据存取可为字节存取或是字存取。可寻址存储器空间为 56K Bytes 程序区域以及 8K Bytes 数据存储器。

6. 系统运行

此功能涵盖下方功能：

- 复位
- 工作模式
- 系统功耗监控
- 中断

6.1 系统复位

在系统复位期间，所有核心寄存器会复位至复位设定值。程序计数器(PC)装载复位中断矢量，复位处理器所使用的 CPU 矢量是基于中断矢量的内容。

系统供电监控、外部复位输入、看门狗复位，都会产生复位。在离开复位状态后，此装置会进行初始化。

上电状态下，供电监控产生上电复位及掉电复位(Brown-Out Reset, BROR)初始化装置。当侦测到电源供应源有不稳定的情况时，将会产生复位，避免芯片不正常工作。

RESET 外部复位输入，当上电后，输入脚位默认为复位功能，此装置会立刻进行复位，复位功能为低电平有效 (low-active)。

看门狗定时器超时或其他故障状况，即产生复位。看门狗超时与外部复位相似。

用户亦可透过以下软件程序设定，产生装置复位。

```
PRSTR7 = 0x5A;  
PRSTR7 = 0xA5;  
PRSTR7 = 0xC3;  
PRSTR7 = 0x3C;
```

6.1.1 装置初始化

当装置初始化，下列情况将于复位期间进行：

- 寄存器复位至复位值
- GPIO 脚位复位至输入 high-Z 状态

下方表格总结出在不同复位源，所进行的装置初始条件以及系统初始化。

复位源	CPU	GPIO	Periperal SFR	复位时间 (typ.)
RESET(外部复位输入)	是	是	是	4 ms
BROR(掉电复位)	是	是	是	
上电复位	是	是	是	
看门狗复位	是	是	是	145 us
软件复位	是	是	是	16 us

表 6-1 装置初始化

6.2 唤醒 KWU

唤醒是控制引脚 KWI 7 到引脚 KWI 0 使系统脱离深眠模式(Deep sleep mode)。

6.2.1 唤醒 KWU 架构

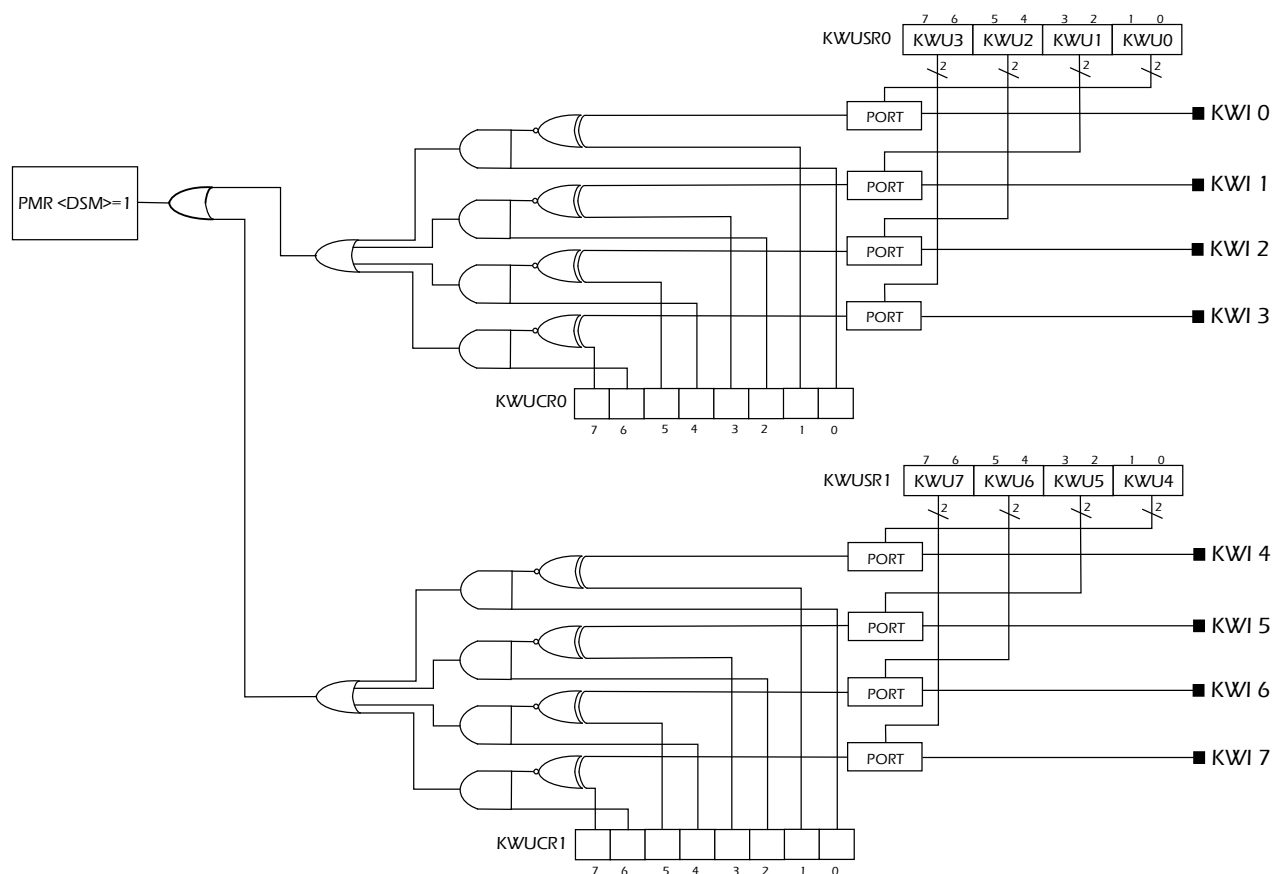


图 6.1 唤醒线路(以 KWI 0~ KWI 7 为例)

6.2.2 唤醒 KWU 控制寄存器

设定唤醒控制寄存器 KWUCR0 与 KWUCR1 可指定脱离深眠模式引脚为唤醒引脚 KWI 7 到 KWI 0，同时设定这些唤醒引脚的深眠模式释放电平。

6.2.3 KWU 控制寄存器

藉由操作 KWI m 引脚 (m: 0~9) , 用户可启动唤醒功能 , 使系统脱离深眠(deep sleep)模式。若要指定 KWI m 引脚作为深眠模式释放引脚 , 必须先设定唤醒配置寄存器 KWUSRn (n: 0~1) 。

6.2.3.1 设定 KWU 配置寄存器 (KWUSRn)

要指定 KWI m 引脚作为深眠(deep sleep)模式释放引脚 , 可透过唤醒配置寄存器 KWUSRn 指定引脚。SQ7653 产品各引脚皆为多任务复用 , 可根据用户的配置 , 调度指定特定引脚。例如 , 使用者要使用 KWI 0 唤醒 , 而 P0.0、P2.0 与 P3.0 各别被 SIO、16 位定时器与 UART 功能使用 , 此时可设定 KWUSR0 <KWU0> =01 , 使用 P1.0 作为 KWI 0 唤醒引脚。

6.2.3.2 设定 KWU 控制寄存器 (KWUCRn)

设定完唤醒引脚 , 接着需设定唤醒控制寄存器 KWUCRn <KWmEN>=1 , 启动此引脚对唤醒的控制。KWI m 引脚对应的唤醒控制寄存器 KWUCRn<KWmEN>被设定为"1"后 , 可藉由设定 KWURn<KWmLE>寄存器以设定深眠模式释放电平。若 KWUCRn<KWmLE>为"0" , 输入低电平信号可释放深眠模式。若 KWUCRn<KWmLE>为"1" , 输入高电平信号可释放深眠模式。举例来说 , 若要设定系统在 KWI 0 脚位接收到高电平输入信号时脱离停止模式 , 设定 KWUCR0<KW0EN>为"1" , 并设定 KWUCR0 <KW0LE>为"1"。

6.2.3.3 进入深眠模式

深眠模式(deep sleep mode)可藉由设定电源模式寄存器 PWR<DSM>=1 , 使用 Sleep 指令进入深眠模式。(更多工作模式叙述请参照「6.3 工作模式」章节。)

6.2.3.4 退出深眠模式

要退出深眠模式 , 可在 KWI m 引脚上输入符合设定的深眠模式释放电平。

如果 KWI m 引脚在系统要进入深眠模式时已位于释放电平 , 系统会执行剩下的指令并不启动深眠模式(无唤醒 warm-up 动作)。

注 : 在唤醒控制寄存器 KWUCRn 设定为输入允许的情况下 , 不要在 KWI m 引脚上输入模拟电压信号 , 否则会引起非预期的系统耗电电流。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

6.3 工作模式

SQ7653 产品拥有 3 种工作模式

- 一般模式
- 睡眠模式
- 深眠模式

一般模式为正常运行模式。在低功耗模式，CPU 可进入睡眠、深眠，以上两种模式，皆可进行功耗节约，逐渐降低电流消耗值，使系统运行所需电流由 mA 降至 uA 等级。

下表总结以上模式中各功能开启/关闭状态。更多关于时钟功能细节，可参考时钟控制器章节。

模式	普通	睡眠	深眠
CPU 时钟	ON	OFF	OFF
外围 时钟	ON*	ON*	OFF*
LDO	ON	ON	OFF
BROR	ON*	ON*	ON*
LVD	OFF*	OFF*	OFF*
PLL	OFF*	OFF*	OFF
HXTAL	OFF*	OFF*	OFF
LXTAL	OFF*	OFF*	OFF*
LIRC	ON	ON	ON
RTC	OFF*	OFF*	OFF*
Flash	ON	ON	OFF
RAM	ON	ON	Retention
备注	*：可以透过软件选择开启或关闭 Retention: 数据保留		

表 6.3 系统工作模式以及所对应之功能状态

6.3.1 一般模式

在一般模式，CPU 可于最高时钟速度下执行指令，可满足高数据通量需求。当不需要高数据通量时，可降低系统时钟频率或是切换为低频率系统时钟，可节约功耗。另外，若外围装置的时钟不使用时可关闭，亦可节约功耗。

6.3.2 睡眠模式

低功耗模式下，系统可高速响应中断，并节约功耗。在此模式下，CPU 时钟关闭，且 PLL 保持工作状态并锁定。可视系统运行需要，关闭 PLL 以及高频内部参考时钟；外围线路若无使用时亦可关闭。

进入方式：

此模式可藉由执行睡眠指令进入。

◆ 退出方式：

使用 WDT INT/WDT RST 以外的中断源或复位皆可唤醒 CPU。

6.3.3 深眠模式

此模式下，CPU 与所有外围电路时钟皆关闭，PLL 及高频内部参考时钟亦无法使用，另外，ROM 和 Flash 也为掉电状态。只有核心稳压器为保持模式。

◆ 进入方式：

此模式可藉由执行睡眠指令进入。

◆ 退出方式：

在此模式，KWI 引脚可唤醒 CPU，RTC 中断亦可唤醒 CPU。若系统电源监控器开启，LVD 事件可立即唤醒 CPU，CPU 可于微秒内响应唤醒事件。

6.3.4 低功耗模式

SQ7653 产品可由睡眠指令或电源模式寄存器 PMR(Power Mode Register)进入低功耗模式：

进入低功耗模式

在低功耗模式下，CPU 时钟可关闭；若所选择的产品支持保持模式，CPU 亦可关闭电源。

退出低功耗模式

系统接收到一中断事件并重新启动 CPU 时钟。产品支持保持模式，CPU 电源亦会重新开启，并继续执行进入低功耗模式前暂停的工作。

7.系统时钟控制器

此章节描述 SQ7653 产品线基本时钟控制器的使用。

7.1 时钟源

SQ7653 产品线主要有 4 种基本时钟源：

时钟源	速度(频率)
低速内部参考时钟 (LIRC)	32 KHz
低功耗锁相环 (Phase-Locked Loop, PLL)	24 MHz (可除頻為 24/16/8/6/4/3/2/1 MHz)
高速外部参考时钟 (HXTAL)	16 MHz · 可作为 PLL 时钟源
低速外部参考时钟(LXTAL)	32768 Hz

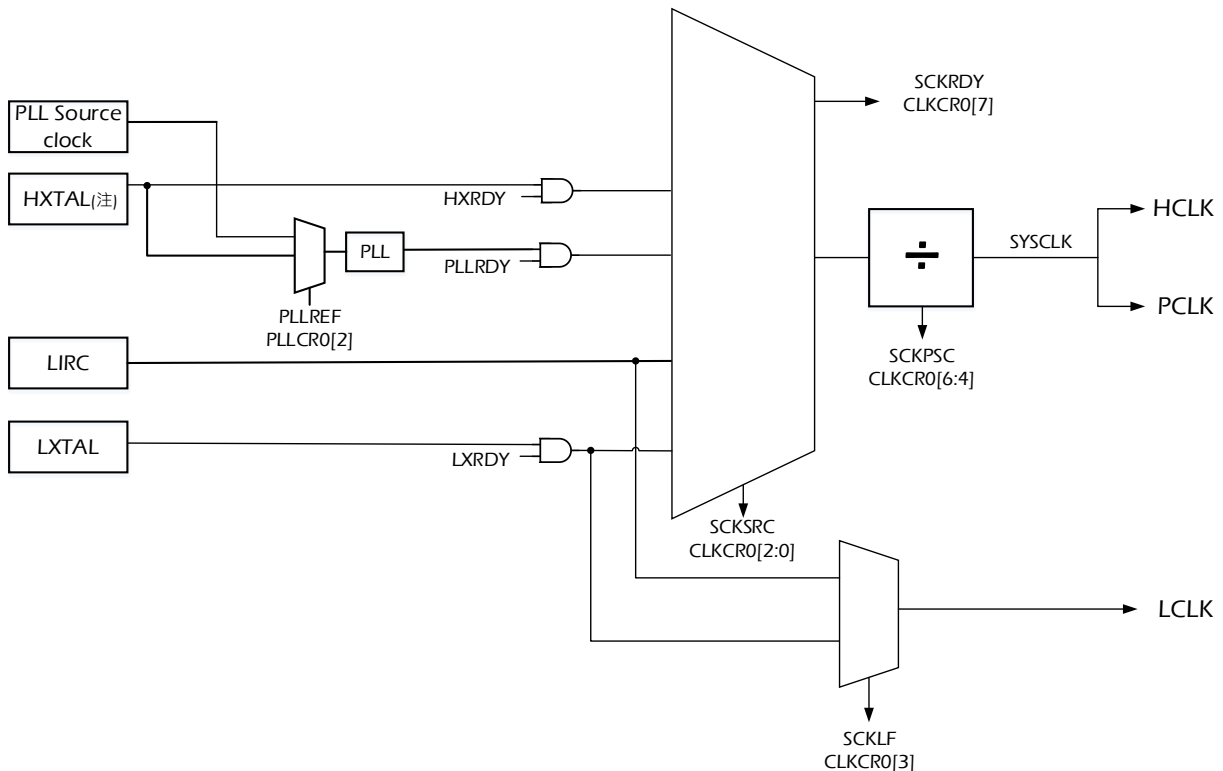


图 7.1 系统时钟示意图

注：PLL 来源可为 8MHz 外部晶振(HXTAL)。

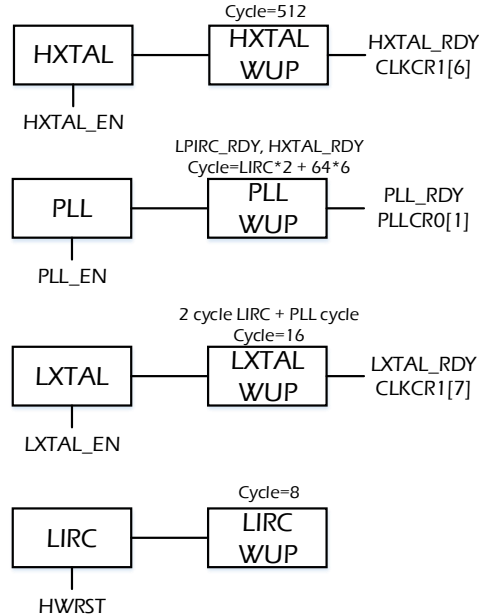


图 7.2 各时钟启动行程及所需周期

7.2 时钟切换

当系统复位时，会启动 HIRC 时钟并默认为系统时钟，安全地执行系统完整性确认与初始化。当程序完成后，控制权会返回应用；此时，时钟源的选择完全由软件控制。

针对于系统安全防护，共有两种时钟控制及选择安全钟源之情境：第一种为所有钟源(LIRC 除外)皆透过软件禁止运作，此状态可利用 CLKCR1 寄存器时钟允许位清除为 0 设定。透过 CLKCR0<SCKSRC>设置为 0b010，将时钟控制器切换至 LIRC，除此之外，CLKCR0<SCKPSC>亦复位为 0。

第二种情境，时钟频率监控侦测潜在的时钟问题并回报告时钟控制器，控制器会重新启动 HIRC；若此时钟尚未启动，请立即切换此时钟源。CLKCR0<SCKPSC>亦会同时复位，另外，时钟切换可透过无突波时钟数据选择器 (glitch-free clock muxing)完成。

7.4 时钟控制寄存器

寄存器	描述
CLKCR0	时钟控制寄存器 0
CLKCR1	时钟控制寄存器 1
CLKCR3	时钟控制寄存器 3
PLLCR0	PLL 控制寄存器 0

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

寄存器	描述
CMSR	时钟监控状态寄存器
CMCR	时钟频率监控寄存器

7.5 系统及外围电路时钟

7.5.1 功能性门控时钟

所有功能皆被外围电路时钟允许寄存器 PCKENx 各别控制。

寄存器	描述
PCKEN0	外围电路时钟允许寄存器 0
PCKEN1	外围电路时钟允许寄存器 1
PCKEN2	外围电路时钟允许寄存器 2
PCKEN3	外围电路时钟允许寄存器 3
PCKEN4	外围电路时钟允许寄存器 4
PCKEN5	外围电路时钟允许寄存器 5
PCKEN6	外围电路时钟允许寄存器 6
PCKEN7	外围电路时钟允许寄存器 7

8. 12 位 ADC 器(ADC)

SQ7653 具一个准 12 位 SAR 型 ADC 器，最多 8 个输入端口(AIN0-AIN7)。

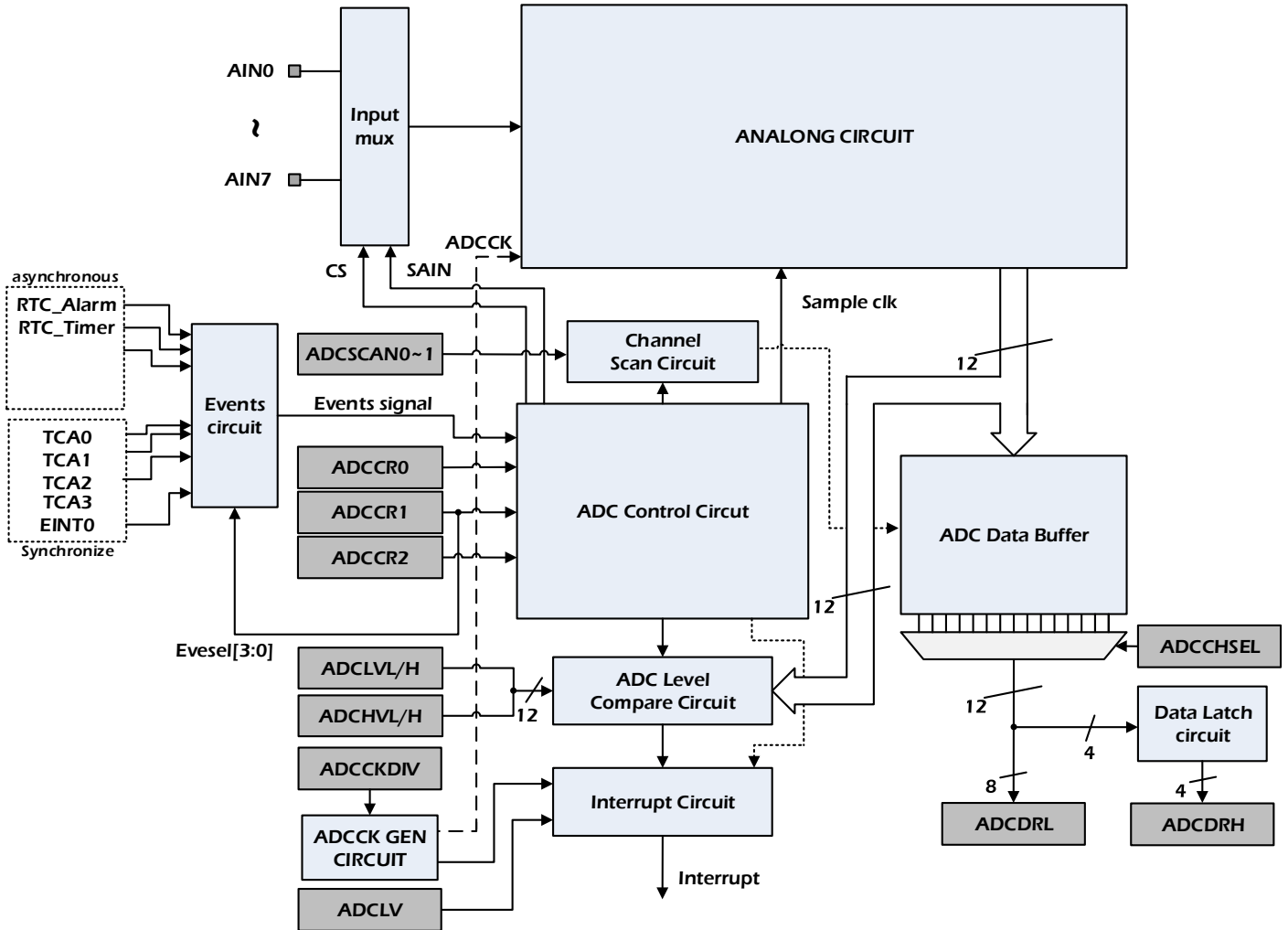


图 8.1 ADC 器模块图

注：使用 ADC 器前，请先设置适当的 I/O 端口寄存器，此寄存器也同时作为模拟输入端口。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

8.1 功能叙述

12 位 ADC 器架构如图 8.1 所示，此 ADC 器包含 4 个控制寄存器(ADCCR0 ~ 3)、转换数值寄存器 ADCDRL 及 ADCDRH、一个取样保留(sample-hold)线路、一个比较器以及一个连续比较线路等。

8.1.1 ADC 控制寄存器

控制寄存器具备以下 13 个功能：

1. ADC 控制寄存器 0 (ADCCR0)

设定 ADCCR0 寄存器，选取 ADC 工作模式，选择 ADC 参考源，并控制 ADC 器启动。

2. ADC 控制寄存器 1 (ADCCR1)

设定 ADCCR1 寄存器，选择触发 ADC 器的事件。

3. ADC 控制寄存器 2 (ADCCR2)

设定 ADCCR2 寄存器，设置阶层比较中断。

4. ADC 时钟分频寄存器(ADCCKDIV)

此寄存器设置 ADC 时钟频率。

5. ADC 阶层寄存器(ADCCKDIV)

此寄存器设置阶层比较开始，控制阶层比较区间以及通道。

6. ADC 阶层比较寄存器(ADCLV)

7. ADC 信道扫描寄存器(ADCSCANx, x=0~1)

此寄存器控制 ADC 信道扫描。

8. ADC 状态寄存器(ADCSR)

此寄存器控制数据缓存并侦测阶层比较条件，设定 ADC 工作开始，与 ADC 工作状态。

9. ADC 通道就绪寄存器(ADCRDY)

此寄存器显示最新 ADC 信道就绪的编号。

10. ADC 通道选择寄存器(ADCCHSEL)

此寄存器选择读取 ADC 数据的信道。

11. ADC 数据寄存器(ADCDRH 及 ADCDRL)

设定 ADCDRH 及 ADCDRL 寄存器，此寄存器储存 ADC 器所产生的数值。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

12. ADC 高阶寄存器(ADCHLVH 及 ADCHLVL)

此寄存器储存 ADC 数据比较的高位结果。

13. ADC 低阶寄存器(ADCLLVH 及 ADCLLVL)

此寄存器储存 ADC 数据比较的低位结果。

8.1.2 数据缓存器

每个转换结束后，ADC 数据会被写入相对应信道的数据缓冲器。另外，ADC 数据就绪寄存器亦会根据 ADC 通道数目进行更新。

存取特定信道数据时，软件会写入 ADC 通道选择寄存器(ADCCHSEL)，接着读取 ADC 数据寄存器(ADCDRL/ADCDRH)。用户需读取低位的数据寄存器 ADCDRL，再读高位数据寄存器 ADCDRH。

当 ADC 结果写入数据缓存器时，数据缓存器会被锁定，直到下列任一项条件发生时才会解锁：

1. ADCDR 被读取。在特定通道，若 ADCDRL 被读取，此信道的数据缓存器会被锁定，直到 ADCDRH 也被读取后才会解锁，以保持数据的完整性。
2. 数据缓存器解锁(UNLCK = 1)。在此模式下，ADC 缓存器中最近的内容都会被解锁；如同使用者的软件已读取所有的内容，所以新的转换结果可写入数据缓存器。
3. 数据缓存器覆写允许(BUFOVR= 1)。在此模式下，ADC 数据会连续地更新。

8.1.3 多重信道扫描

SQ7653 产品线加入一组新的 ADC 扫描寄存器 ADCSCAN0 与 ADCSCAN1 支持多重信道扫描功能。各个寄存器位代表一个 ADC 信道，填入值“1”代表此信道加入信道扫描；若填入“0”则代表此信道不进行信道扫描。ADC 转换由信道 0 开始作业，至信道 11 (第 0 位至第 11 位)，于 ADC 空闲时<ADBF>=0，可变更扫描顺序；若当 ADC 转换进行中，必须先停止 ADC 转换(<AMD>=00b)才能对 ADC 信道扫描寄存器进行变更。

8.1.4 ADC 时钟源选择

ADC 取样时钟源自于系统时钟，分频器可透过 ADCCKDIV 进行设置。

8.1.5 ADC 参考

系统默认 ADC 无内部参考电压，使用外部参考电压，外部参考可设置 ADCCR0<IRFEN>后启动。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

8.1.6 ADC 事件源

当事件选择寄存器 ADCCR1<EVSEL>设置为 00 时，透过设置 ADCSR<ADRS>为 1 可启动 ADC。当 EVSEL 设置为其他值时，可由源选择触发 ADC 且忽略 ADRS 输入。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

8.1.7 ADC 阶层比较

在部分应用中，使用者只对 ADC 值于特定区间时特别关注。故为减少 CPU 不必要的中断，ADC 阶层比较启用 ADCLV<LVCMP>、ADC 高阶(ADCHLV, ADCHLVH)及 ADC 低阶(ADCLLV, ADCLLVH)寄存器可用来过滤部分不需关注之 ADC 值。

LVCMP	ADC 后进行阶层比较的条件(需先设定 ADEN)	中断条件
00	于每次转换的最后	每次转换的最后产生中断
01	ADC 数据 < ADCLLV	ADCLLV = 0x0060 · ADCHLV=0x3FFF · 当 ADCDR ≤ 0x005F 产生中断
10	ADC 数据 > ADCHLV	ADCLLV = 0x0000 · ADCHLV=0x005F · 当 ADCDR ≥ 0x0060 产生中断
11	ADCLLV > ADC 数据及 ADC 数据 > ADCHLV	ADCLLV = 0x0200 · ADCHLV=0x00FF · 当 ADCDR 为 0x100 至 0x1FF 产生中断； ADCLLV = 0x0100 · ADCHLV=0x01FF · 当 ADCDR ≤ 0x00FF 或 ADCDR ≥ 0x0200 即产生中断

阶层比较区间决定阶层比较使用于全部样本，或是特定样本。若使用于全部样本(<LVINTVL>=0)，阶层比较会于各个扫描信道执行；若只有特定样本(<LVINTVL>=1)，特定通道数会写入阶层比较信道选择寄存器位(<LVSEL>)，且只有这些特定信道的样本执行阶层比较。当符合比较条件(<LVCMP>)时，阶层比较侦测(<LVDET>)会设置为 1。

8.1.8 中断产生

共有 2 种产生中断的方式，转换结束标志(<EOCF>)或阶层侦测(<LVDET>)。

1. EOCF：若中断区间(<INTVL>)清除为 0 (<INTVL>=0)，于各个转换完成后，EOCF 会设置为 1。若 INTVL=1，则扫描序列完成后，EOCF 会设置为 1。EOCF 会保持设置至软件清除，EOCF 写入 0 无任何作用。若 ADC 中断启动(<INTEN>=1)，设置 EOCF 为 1 时会产生中断。

2. LVDET：当符合比较条件时，阶层比较侦测(<LVDET>)会设置为 1。LVDET 会保持设置值至软件清除。LVDET 写入 0 无任何作用，若 ADC 阶层中断启动(<LVINTEN>=1)时，设置 LVDET 为 1 时会产生中断。

ADC 忙碌标志(ADBF)会保持设定至所有 ADC 转换完成，中断设置并不会造成任何影响。

8.1.9 ADC 工作模式

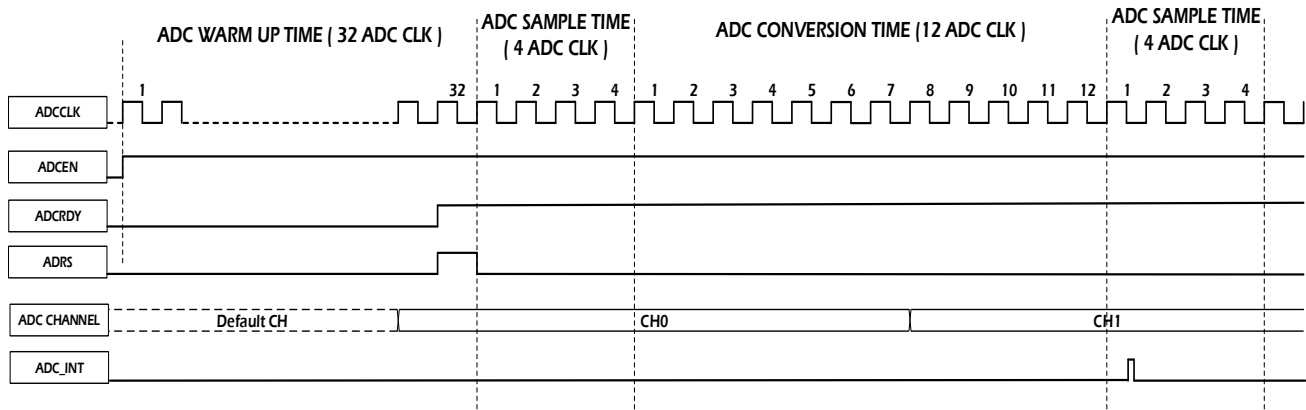


图 8-1 ADC 上电与转换时序图

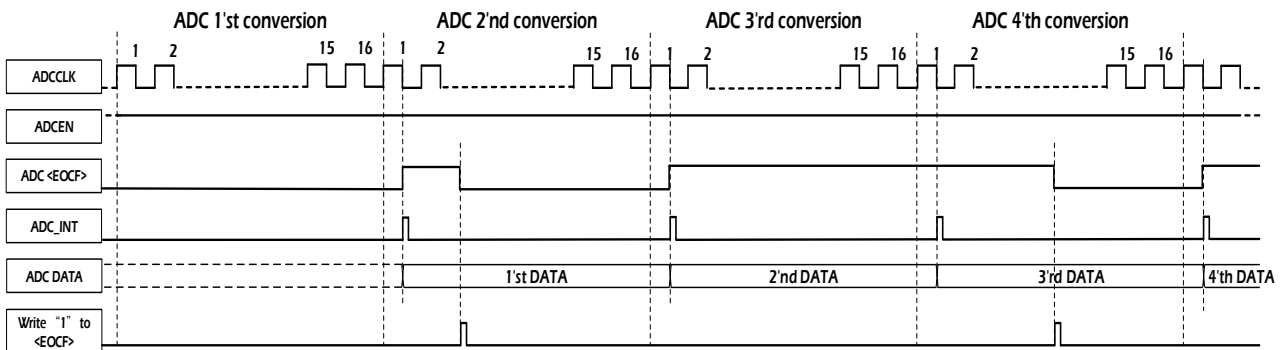


图 8-2 ADC<EOCF>与数据总线时序图

SQ7653 產品線內置的 AD 轉換器具有兩種操作模式：單次模式以及重覆模式，皆可對選定的通道取得數據。

8.1.9.1 單次模式

單次模式下，ADC 器只对指定模拟信号输入引脚的电压进行一次 ADC。

ADC 启动后，ADCSR<ADBF>被设定为"1"。在 ADC 完成或 ADC 被强制停止时，ADCSR<ADBF>会被清除为"0"。

ADC 完成后，转换结果会被储存在数据缓存器(data buffer)中。同时，ADCSR <EOCF>会被设定为"1"，并产生 ADC 完成中断。进行 ADC 时，依中断处理程序读取 ADC 数值寄存器。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

当 ADC 开始(ADCSR<ADRS>="1")，且于单一模式完成 ADC 后，转换数据会存入缓存器内，由用户决定何时读出数据至 ADCDRL/ADCDRH。在下一个 ADC 开始时，<EOCF>仍不会自动清除为 0，须以软件设定清除为 0。

为节省功耗，可在每个 ADC 结束后设置为自动掉电；当 ADCCR0<AUTOPD>设置为 1 时，在每次转换完成后，ADC 会自动掉电；当 AUTOPD 清除为 0 时，ADC 会持续保持上电。请注意，若 ADC 于每次转换完成后自动掉电，则在下一个转换开始会有延迟，此与 AD 初始启动的延迟相同。

ADCCR0<ADEN>为"1"后，需等待 ADRDY 为"1"，才能进行 ADC 转换时，ADCSR<ADRS>为"1"。ADC 完成后，ADCCR0<ADEN>自动为"0"。执行下次 ADC，需再重复进行上述说明。

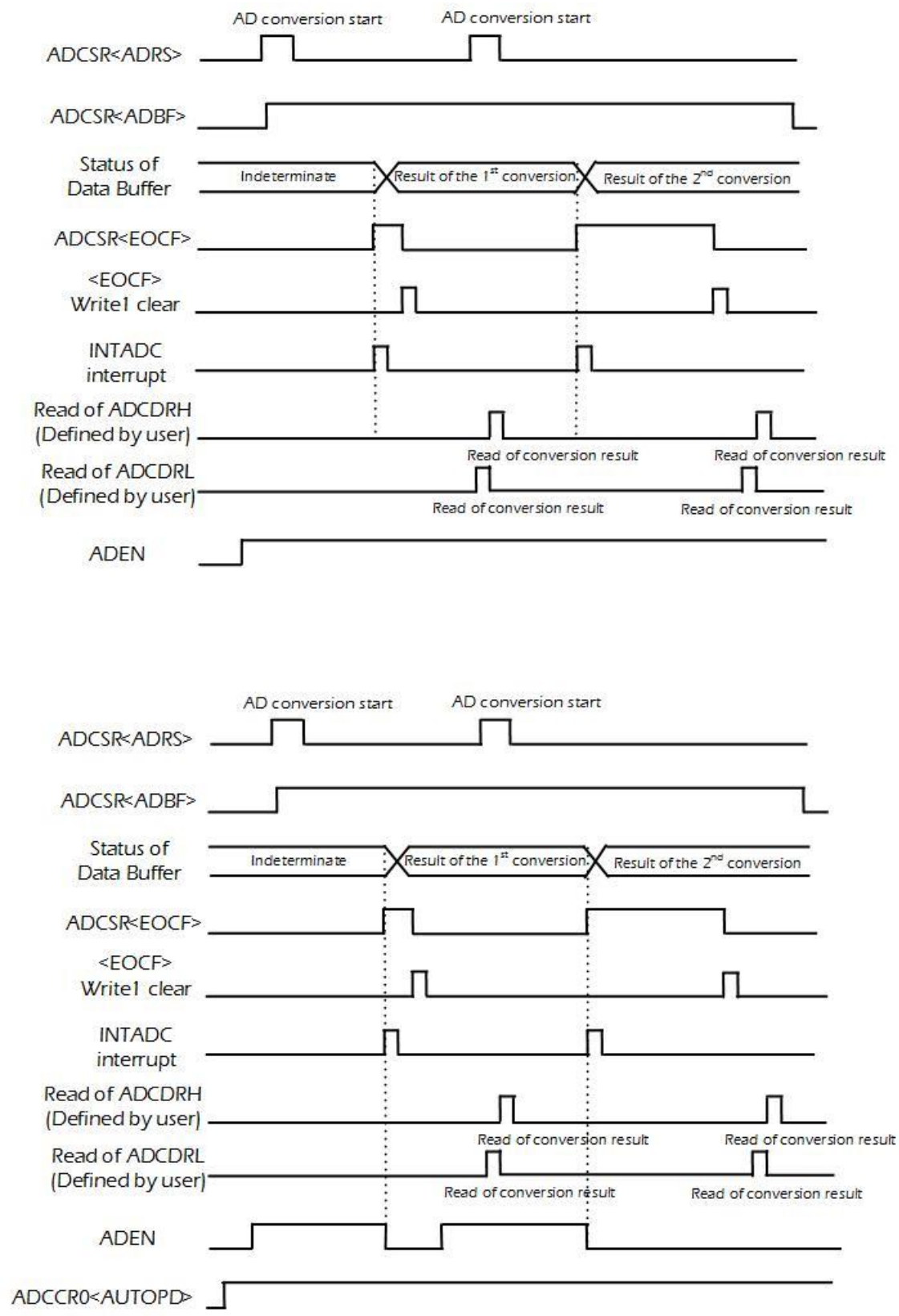


图 8-3 ADC 单次模式

8.1.9.2 重复模式

重复模式下，ADC 器重复对模拟信号输入引脚的电压进行 ADC。将 ADCCR0<AMD>设定为“11”，启动重复模式。将 ADCSR<ADRS>设定为“1”启动 ADC。

ADC 启动后，ADCSR<ADRS>便自动被清除。第一次 ADC 完成后，转换结果会被存在 ADC 数值寄存器 ADCDRL 和 ADCDRH，同时 ADCSR <EOCF>会被设定为“1”，并产生 ADC 完成中断。在此中断产生后，随即开始下一次 ADC。

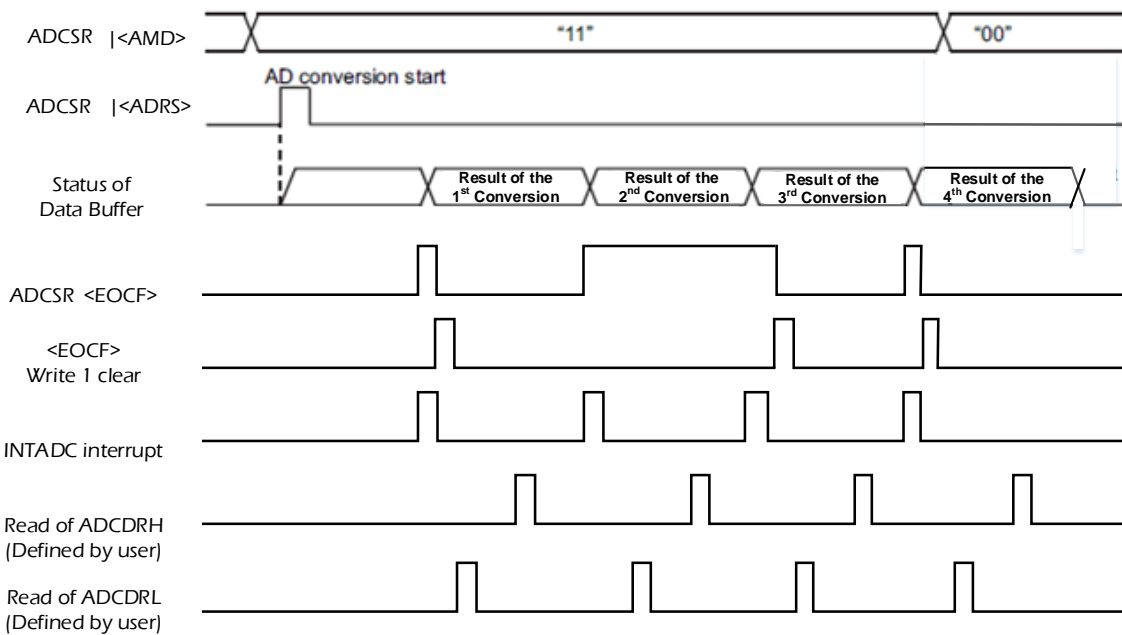


图 8-4 ADC 重复模式

8.1.10 停止 AD 工作

设置 ADCCR0<AMD>为“00”，可于单次以及重复模式下强制停止进行中的 ADC 操控。

当 ADCCR0<AMD>设置为“00”时，ADC 会立即停止，其转换数值不会储存至 ADC 数据寄存器；且 ADCSR<EOCF>，ADCSR<ADBF>会初始化为“0”；若掉电后，<ADEN>=0，ADCDRL/ADCDRH 则会初始化为 0。

8.1.11 ADC 工作流程

1. 透过寄存器 ADCCKDIV<ADCKDIV>设置 ADC 时钟频率
2. 先设置 ADCCR0<ADEN>为“1”来启动 ADC，选择 ADC 控制寄存器中的内部参考位 ADCCR0<IRFEN>以及阶层比较器 ADCLV<LVCMP>。
3. 选择 ADC 输入触发事件源 ADCCR1<EVSEL>

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

4. 选择工作模式 ADCCR0<AMD>
5. 确认 ADC 状态寄存器(ADCSR)的 ADC 预备就绪标帜<ADRDY>=1
6. 设置 ADCCR1<ADRS>为"1"，开始进行 ADC 转换
7. ADC 完成后，ADC 状态寄存器(ADCSR)的 ADC 终止标帜<EOCF>会被设定为"1"，ADC 结果会被存在 ADC 数值寄存器 ADCDRH 和 ADCDRL 内，并产生 INTADC 中断要求。
8. 从 ADCDRH 读取转换结果后，EOCF 即可写入 1 清除为"0"。如果在读取 ADC 数值寄存器 ADCDRH 前再次执行 ADC，前次转换结果仍会写入数据缓存器，待使用者读出至 ADCDRL 和 ADCDRH。

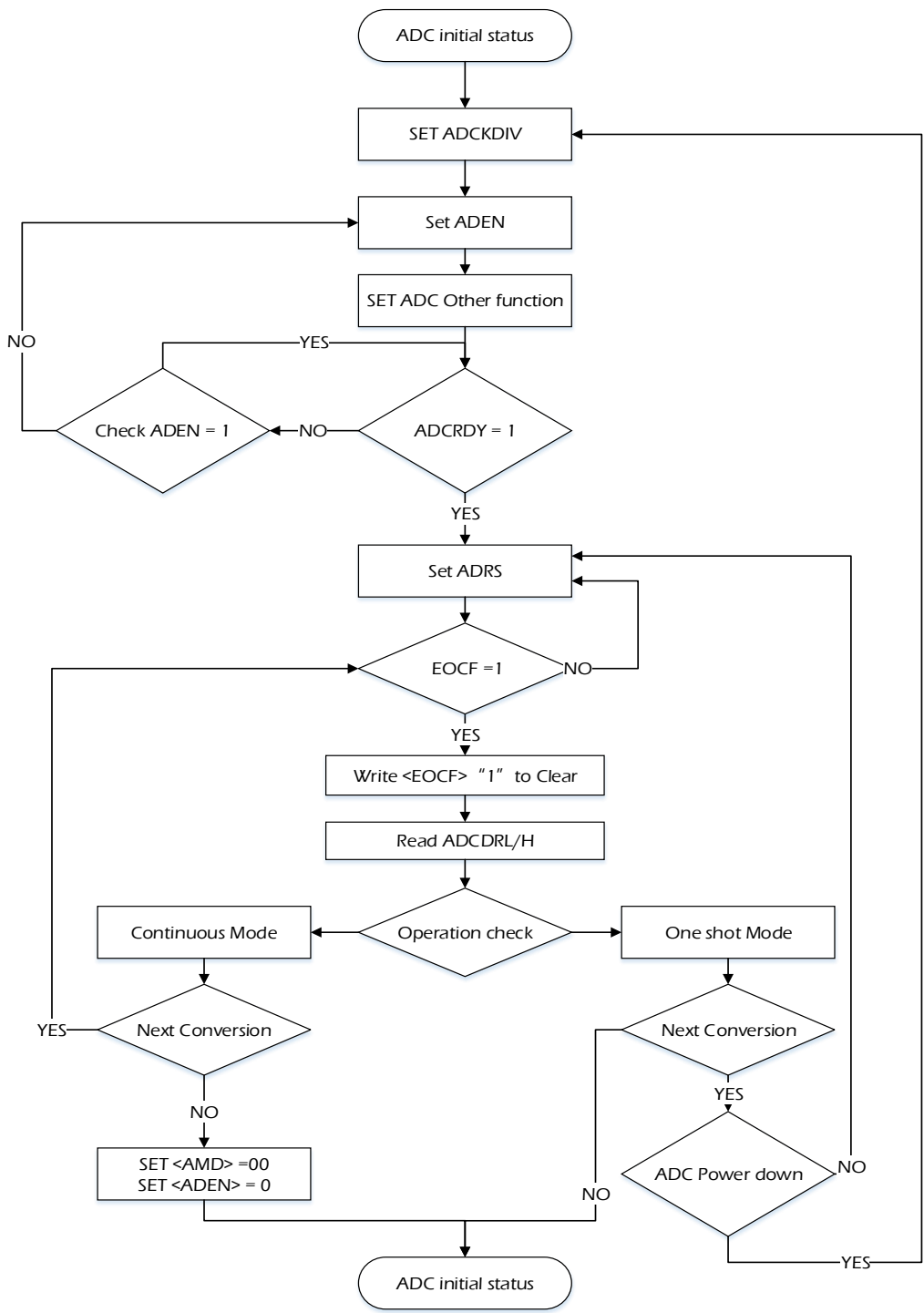


图 8-5 ADC 工作流程示意图

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

8.2 注意事项

8.2.1 模拟信号输入引脚电压范围

模拟信号输入引脚 AIN0 到 AIN11 的电平必须控制在 VREF 和 VSS 之间。若任何单一模拟信号输入引脚的输入电平超过此范围，除该引脚的 ADC 数值不正确外，其他模拟信号输入引脚的转换数值也会被影响。

8.2.2 模拟信号输入引脚作 I/O 埠用

模拟信号输入引脚也可作 I/O 埠用。使用任何单一模拟信号输入引脚(端口)作 ADC 时，不可在其他模拟信号输入引脚(端口)执行输入/输出指令，否则可能影响 ADC 精准度。此现象也适用模拟信号输入引脚之外的其他引脚；任一引脚接收外界输入或产生输出信号时都可能产生噪声，并影响相邻引脚的特性。

8.2.3 噪声抑制

图 8.7 是模拟信号输入引脚的内部等效线路。模拟信号输入源的外部阻抗越高，受噪声的影响就越严重。为了减少噪声问题的发生，请确认信号源的输出阻抗小于 5KΩ。建议加上外部电容器。

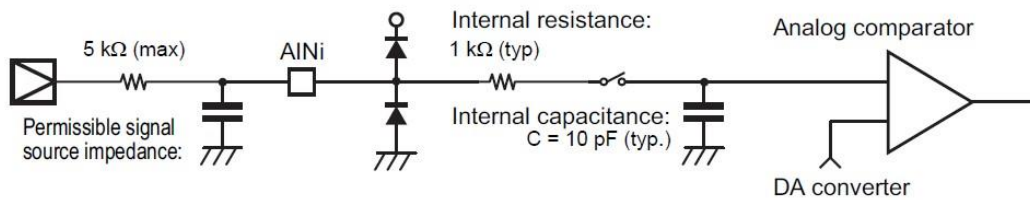


图 8-6 模拟信号输入等效线路及输入引脚设计范例

注：i=0~11

8.3 ADC 寄存器

寄存器	描述
ADCCR0	ADC 控制寄存器 0
ADCCR1	ADC 控制寄存器 1
ADCCR2	ADC 控制寄存器 2
ADCKDIV	ADC 时钟分频寄存器
ADCLV	ADC 阶层比较寄存器
ADCSCAN0	ADC 扫描寄存器 0
ADCSCAN1	ADC 扫描寄存器 1
ADCSR	ADC 状态寄存器
ADCCHRDY	ADC 通道就绪寄存器
ADCCHSEL	ADC 通道选择寄存器
ADCDRL	ADC 数据寄存器(低位)
ADCDRH	ADC 数据寄存器(高位)
ADCLLVL	ADC 低阶寄存器(低位)
ADCLLVH	ADC 低阶寄存器(高位)
ADCHLVL	ADC 高阶寄存器(低位)
ADCHLVH	ADC 高阶寄存器(高位)

9. Flash 存储控制器(FMC)

Flash 存储控制器(Flash Memory Controller, FMC)主要功能为处理 Flash 存储器读存取、编程与擦除工作，可支持下列的工作类型：

- 字节(byte)或双字节(2-bytes)的读存取
- 字节(byte)或双字节(2-bytes)编程
- 区块擦除(sector erase)与整体擦除(mass erase)

Flash 存储控制器可分为 3 个接口，如图 9.1 所示意。当编程或擦除作业完成后，FMC 会产生中断需求。

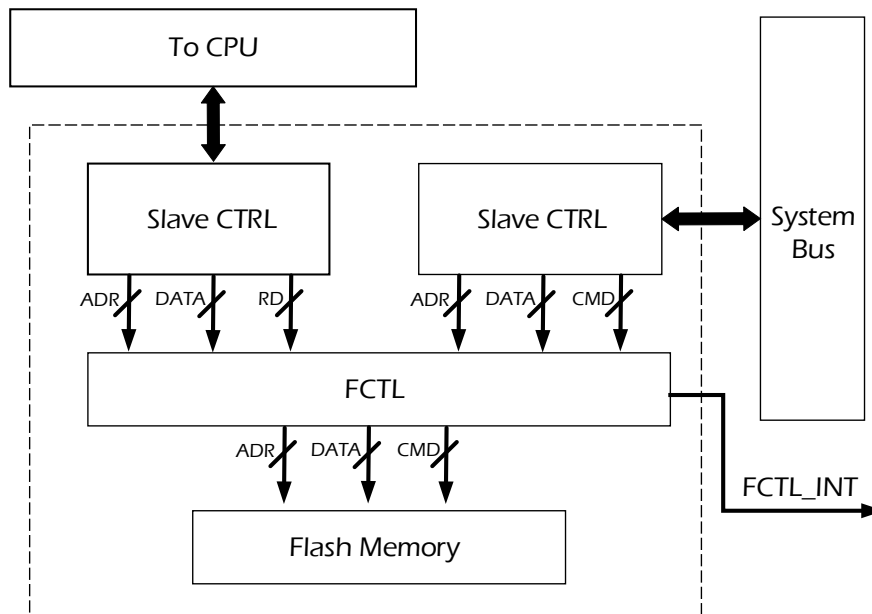


图 9.1 Flash 存储控制器模块图

9.1 功能叙述

读取模式下，从端(slave)接口允许来自系统总线的读取需求。若系统正在进行编程或是擦除工作，控制器会使总线 ready low，以延迟读存取需求。待系统完成工作后，会移除 BUSY 标示，并进行读存取。

编程或是擦除模式下，使用接口适当设定 FMC 寄存器：共有 2 个 Flash 地址寄存器(FADDR0,FADDR1)、2 个 Flash 数据寄存器(FDATA0,FDATA1)与 2 个 Flash 控制寄存器(FCR0,FCR1)。地址寄存器提供 64KB 地址空间；数据寄存器可储存 16 位的数据；控制寄存器则是对工作架构进行设定。要使 FMC 工作，必须于 Flash 控制寄存器 0(FCR0)进行设定。

DATASZ的使用范例:

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

当 DATASZ设为2'b00(byte数据读写) , 使用FDATA0进行数据读/写

当 DATASZ设为2'b01(2-bytes) , 使用FDATA0与FDATA1进行数据读/写.

若使用2-byte , 地址必须要是2-byte地址 , 举例: 最低有效地址位必须为 nnnnnnnn nnnnnnn0.

以进行字节编程为例 , 需先将地址写入地址寄存器(FADDR0,FADDR1) , 数据会接着写入数据寄存器 (FDATA0,FDATA1) 。此时 , 必须于控制寄存器输入需要执行的指令 , 当数据写入完成后 , 即会开始执行指令 。其他寄存器写入数据都会被忽略 , 直到指令执行完毕 , BUSY指示位清除 。页擦除(page erase)只需要指定出地址 ; 整体擦除(mass erase)则只需要输入指令即可 。

依以下步骤 , 进行存储器控制:

1. 确认 flash页面的数据是否为0xFF (flash只能从1到0编程) , 如果flash不是"0xFF",则为"PROGA_ERR"
2. 输入数据至flash
3. 从Flash读入数据,且与输入数据做比较 , 如果有数据不匹配 , 则发生" PROGD_ERR"

9.2 Flash 储存控制寄存器

寄存器	描述
FCKDIV	Flash 时钟分频寄存器
FCR0	Flash 控制寄存器 0
FCR1	Flash 控制寄存器 1
FADDR0	Flash 地址寄存器 0
FADDR1	Flash 地址寄存器 1
FDATA0	Flash 数据寄存器 0
FDATA1	Flash 数据寄存器 1

表 9.1 Flash 储存控制寄存器列表

以上寄存器中各位的叙述将于接下来的章节进行介绍 , 寄存器所对应地址则可对照上表查找 。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

10 比較器

SQ7653 具一組比較器，包括兩個輸入端 (CMP0_P, CMP0_N)與一個輸出端。

比較器具邊沿檢測電路功能，可用于检测比较器输出的电平变化。除停止模式，计时模式或时基模式外，电压比较器输出的上升沿或下降沿将自动设置相关寄存器的中断标志。

引腳名稱	功能
CMP0_P	比較器 0 正輸入
CMP0_N	比較器 0 負輸入
CMP0_O	比較器輸出

表 10.1 引腳名称

10.1 框圖

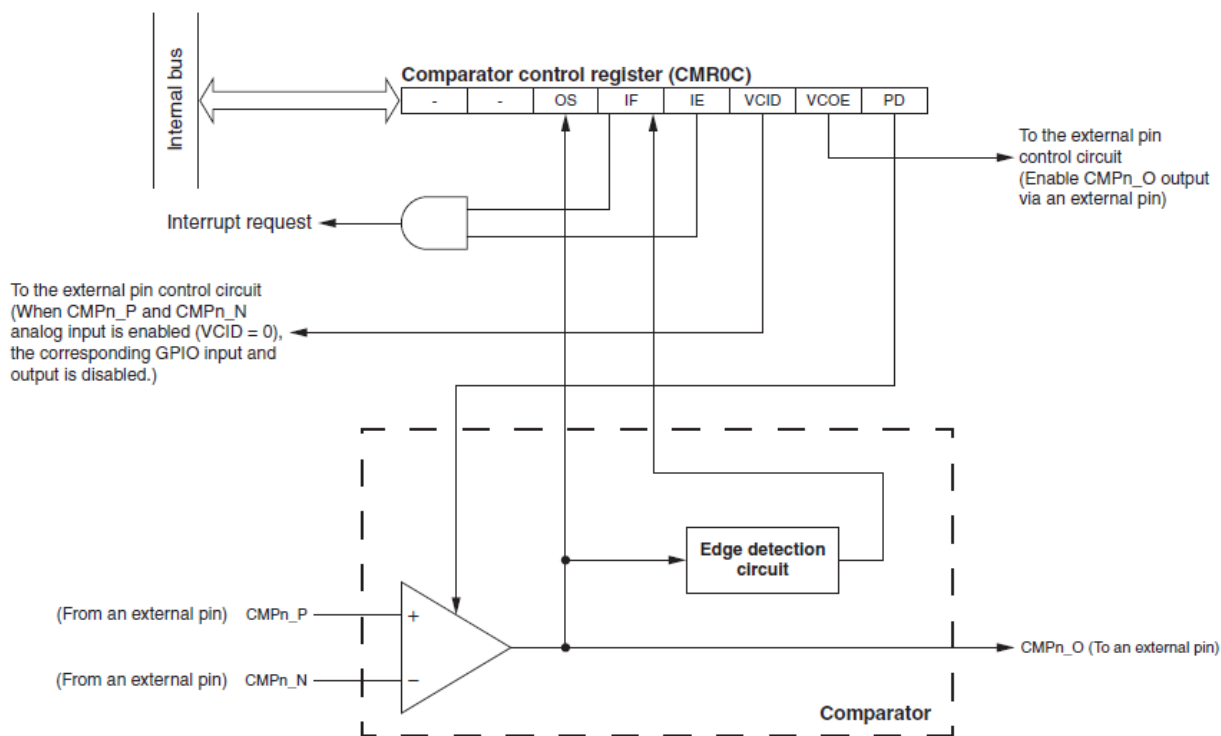


圖 10.1 比較器

11.定时器/计数器

11.1 看门狗定时器(WDT)

看门狗定时器是个防止系统故障的系统，用于快速检测 CPU 的故障如由噪声造成的死循环等，并使 CPU 恢复正常状态。

看门狗定时器信号可设定成看门狗中断要求信号，或是看门狗计时器重定信号。

注：看门狗定时器可能因噪声干扰或其他因素无法正常工作，进行系统设计时需务必特别注意。

注：在 Sleep 模式下，请改以 WDT INT/WDT RST 其他中断源或复位唤醒。

11.1.1 看门狗定时器架构

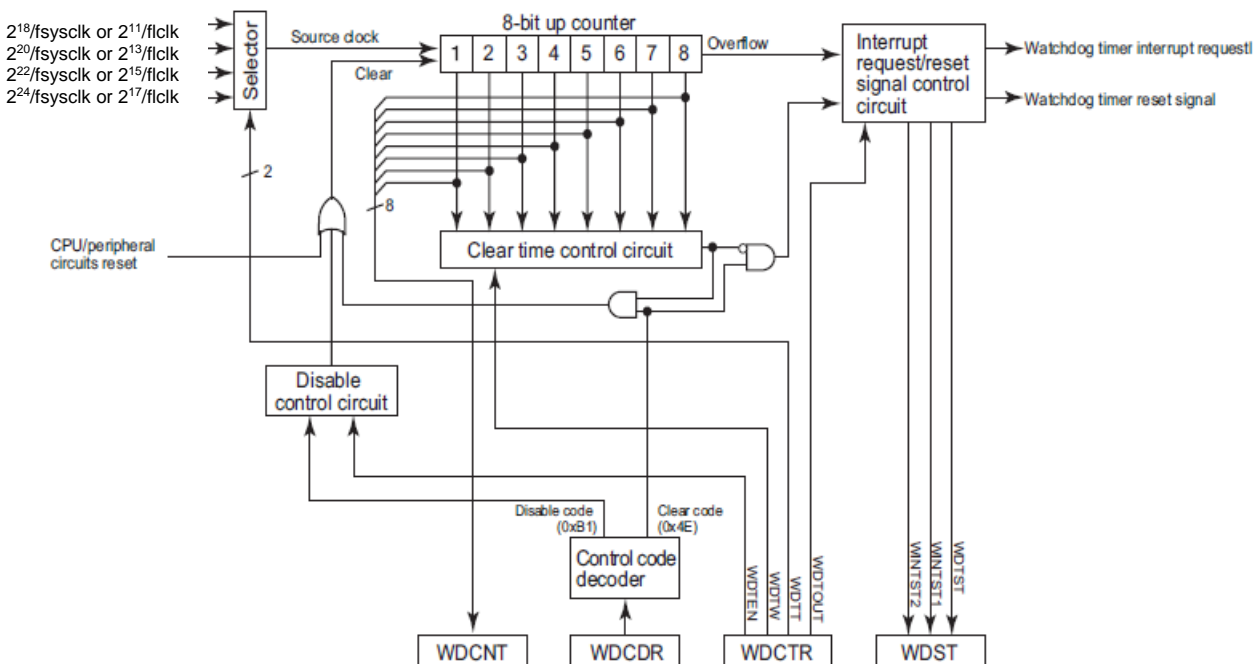


图 11.1 看门狗定时器架构

11.1.2 看门狗定时器控制

看门狗定时器由看门狗定时器控制寄存器 WDCTR，看门狗定时器控制寄存器 WDCDR，看门狗定时器计数器监控 WDCNT 和看门狗定时器状态 WDST 所控制。

在系统复位及唤醒操作完成后，看门狗定时器会自动被启动。

寄存器	描述
WDCTR	看门狗定时器控制寄存器
WDCDR	看门狗定时器控制寄存器
WDCNT	8 位上数计数器监控
WDST	看门狗定时器状态

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

13.1.2.1 看门狗定时器操作的允许/禁止设定

设定 $WDCTR<WDTEN>$ 为“1”可允许看门狗定时器的操作，8 位上数计数器会开始进行源时钟的计数。

在系统复位及唤醒操作完成后， $WDCTR<WDTEN>$ 会被初始设定为“1”。此时看门狗定时器被启动。

若要禁止看门狗定时器操作，将 $WDCTR<WDTEN>$ 清除为“0”并将 0xB1 写入看门狗定时器控制寄存器 $WDCDR$ 。要禁止看门狗定时器操作，将 8 位上数计数器清除为“0”。

注：在 $WDCTR<WDTEN>$ 为“1”的情况下，若将禁止码 0xB1 写入 $WDCDR$ 的同时发生 8 位上数计数器的溢位，看门狗定时器操作会优先被禁止，而不会执行溢位检测。

要重新允许看门狗定时器操作，设定 $WDCTR<WDTEN>$ 为“1”即可。不需写入控制进 $WDCDR$ 寄存器。

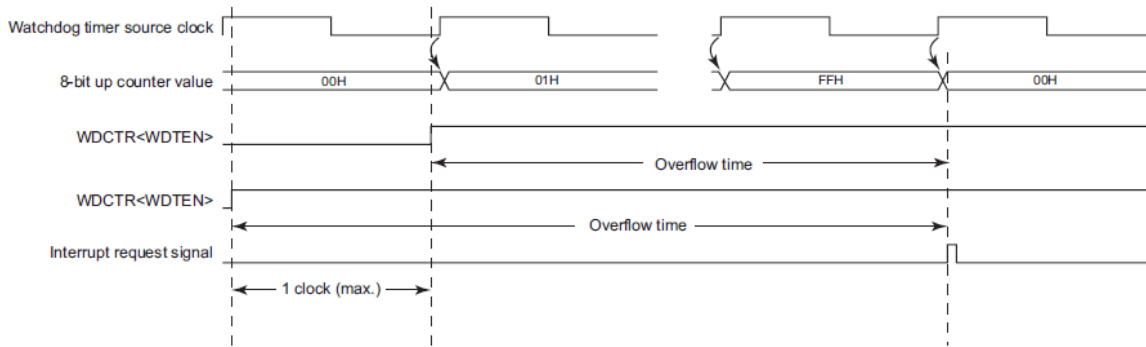


图 11.2 $WDCTR<WDTEN>$ 设定时序和溢位时间

注：8 位上数计数器的源时钟的工作和 $WDCTR<WDTEN>$ 并不同步。因此，8 位上数计数器在 $WDCTR<WDTEN>$ 设定为“1”之后第一次的溢位时间，可能比设定要短最多一个源时钟周期。要清空 8 位上数计数器，必须在溢位时间减去一个源时钟周期的时间内进行。

11.1.2.2 设定 8 位上数计数器清空时间

用 $WDCTR<WDTW>$ 寄存器设定 8 位上数计数器的清空时间。

$WDCTR<WDTW>$ 设定为“00”时，清空时间等同于 8 位上数计数器的溢位时间，可于任意时间进行 8 位上数计数器的清除。

$WDCTR<WDTW>$ 设定不为“00”时，清空时间被定在 8 位上数计数器溢位时间内的某特定时段。在清空时间外进行 8 位上数计数器的操作释放，会产生看门狗定时器中断要求信号。

此时，看门狗定时器不会被清空而是继续计数。若 8 位上数计数器没有在清空时间内被清空，依据 $WDCTR<WDTOUT>$ 的设定，计数器发生溢位时会产生看门狗定时器重定要求信号或是看门狗定时器中断要求信号。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

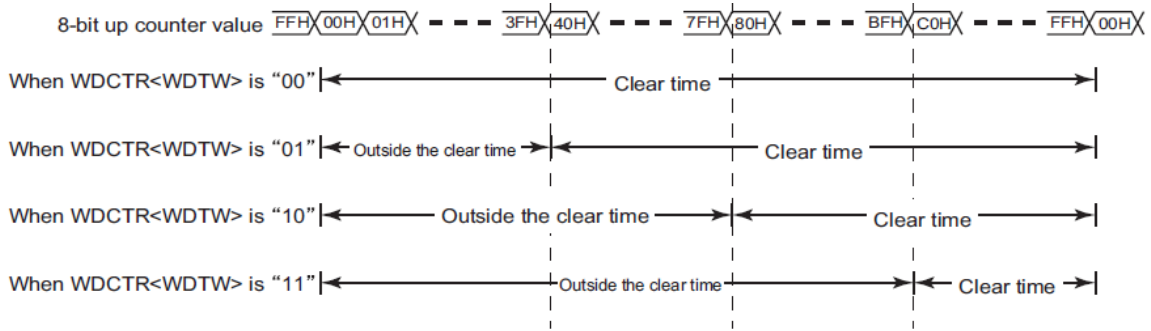


图 11.3 WDCR<WDTW>与 8 位上数计数器清空时间

11.1.2.3 设定 8 位上数计数器溢位时间

用 WDCR<WDTT>寄存器设定 8 位上数计数器的溢位时间。

8 位上数计数器发生溢位时，依据 WDCR<WDTOUT>的设定，会产生看门狗计时器重定要求信号或看门狗定时器中断要求信号。

若选择看门狗定时器中断要求信号为故障检测信号，看门狗定时器不会停止计数，甚至在发生溢位后仍继续。

在深眠模式(包括唤醒)中或睡眠/睡眠(低速时钟)模式中，看门狗定时器会暂时停止计数，并且在系统脱离深眠/睡眠/睡眠(低速时钟)模式后继续计数。为避免 8 位上数计数器在系统脱离深眠/睡眠/睡眠(低速时钟)模式后发生即刻溢位的状况，建议在在进行工作模式切换前，先清空 8 位上数计数器。

WDTT	看门狗溢位时间 [s]		
	一般模式, 系统时钟为 HIRC/ PLL/HTAL		一般模式 系统时钟为 LIRC/LXTAL
	TBTCR<DV9CK> = 0	TBTCR<DV9CK> = 1	
00	10.92m	125m	62.5m
01	43.70 m	500m	250m
10	174.76m	2000	1000
11	699.06m	8000	4000

表 11.1 看门狗定时器溢位时间 (以 fsysclk = 24MHz; fclk = 32.768KHz 为范例)

注: 8 位上数计数器的源时钟的工作和 WDCR<WDTEN>并不同步。因此，8 位上数计数器在 WDCR<WDTEN>设定为“1”之后第一次的溢位时间，可能比设定要短最多一个源时钟周期。要清空 8 位上数计数器，必须在溢位时间减去一个源时钟周期的时间内进行。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

11.1.2.4 设定 8 位上数计数器溢位检测信号

用 WDCTR<WDTOUT>选择 8 位上数计数器的溢位被检测到后所产生的信号种类。

(a) 选择看门狗定时器中断要求信号(WDCTR<WDTOUT>为"0")

WDCTR<WDTOUT>为"0"时，8 位上数计数器发生溢位时会产生看门狗定时器中断要求信号。

看门狗定时器中断属于非屏蔽中断，不管中断主允许标帜 IMF 的设定为何，系统都会接受看门狗定时器中断要求。

注：看门狗定时器中断产生时，另一个中断(包括另一个看门狗定时器中断)如果已被系统接受，系统会接受新的看门狗定时器中断并保留先前的中断。若看门狗定时器中断在没有执行 RETN 指令的情况下连续产生，单片机可能会因多层的中断交错发生故障。

(b) 选择看门狗定时器重定要求信号(WDCTR<WDTOUT>为"1")

设定 WDCTR<WDTOUT>为"1"时，8 位上数计数器发生溢位时会产生看门狗定时器重定要求信号。

看门狗定时器重定要求信号会引起系统复位与后续的唤醒操作。

11.1.2.5 写入看门狗定时器控制寄存器

将看门狗定时器控制写入看门狗定时器控制寄存器 WDCDR。

于 WDCDR 写入清空码 0x4E，则 8 位上数计数器会被清除为"0"并继续源时钟的计数。

WDCTR<WDTEN>为"0"时，于 WDCDR 写入禁止码 0xB1，会禁止看门狗定时器的操作。

为避免 8 位上数计数器发生溢位现象，在短于 8 位上数计数器溢位时间也同时是清空时间的时段内，清空 8 位上数计数器。

藉由设计不会发生计数器溢位的程序，程序的故障及死循环可藉由看门狗定时器中断要求信号所引起的中断进行检测。

利用看门狗定时器重定要求信号进行单片机的复位，可以在发生故障和死循环后使 CPU 恢复正常操作。

11.1.2.6 读取 8 位上数计数器

读取 WDCNT 可读出 8 位上数计数器的计数数值。藉由随机读取 8 位上数计数器的计数值并和前一次读取数值比较，可检测看门狗定时器的停止与其他异常状态。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

11.1.2.7 读取看门狗定时器状态

读取 WDST 可了解看门狗定时器状态。

允许看门狗定时器操作时，WDST<WDTST>读取值为“1”。禁止看门狗定时器操作时，WDST<WDTST>读取值为“0”。

8 位上数计数器发生溢位并产生看门狗定时器中断要求信号时，WDST<WINTST2>读取值为“1”。

8 位上数计数器在清空时间外的释放产生看门狗定时器中断要求信号时，WDST<WINTST1>读取值为“1”。

在看门狗定时器中断服务程序中读取 WDST<WINTST2>和 WDST<WINTST1>，可了解引起看门狗定时器中断要求信号的因素。

读取 WDST 时，WDST<WINTST2>和 WDST<WINTST1>会被清空为“0”。如果 WDST<WINTST2>或 WDST<WINTST1>因条件吻合要转变成“1”的同时进行 WDST 的读取，WDST<WINTST2>或 WDST<WINTST1>会被设定为“1”，而不是被清空为“0”。

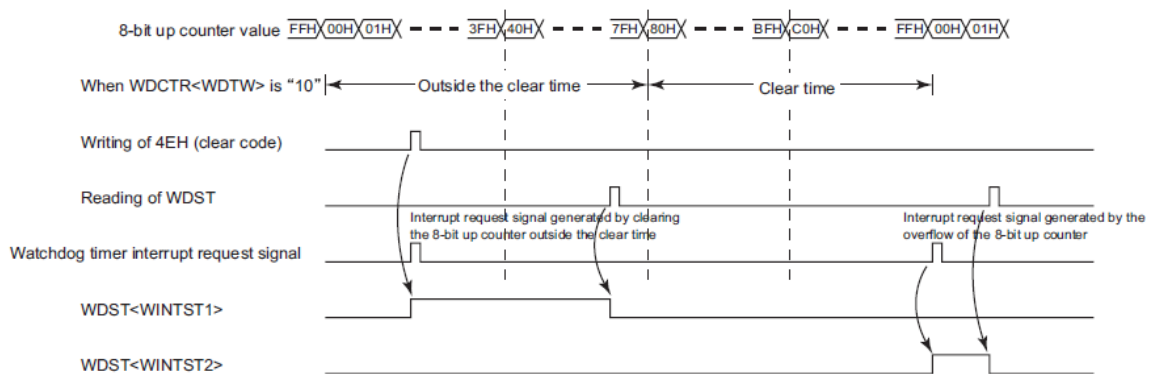


图 11.4 看门狗定时器状态

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

11.2 时基定时器(TBT)

时基定时器 TBT 产生按键扫描、动态显示及其他处理所需的时基。时基定时器同时提供时基定时器中断 INTTBT。

11.2.1 时基定时器架构

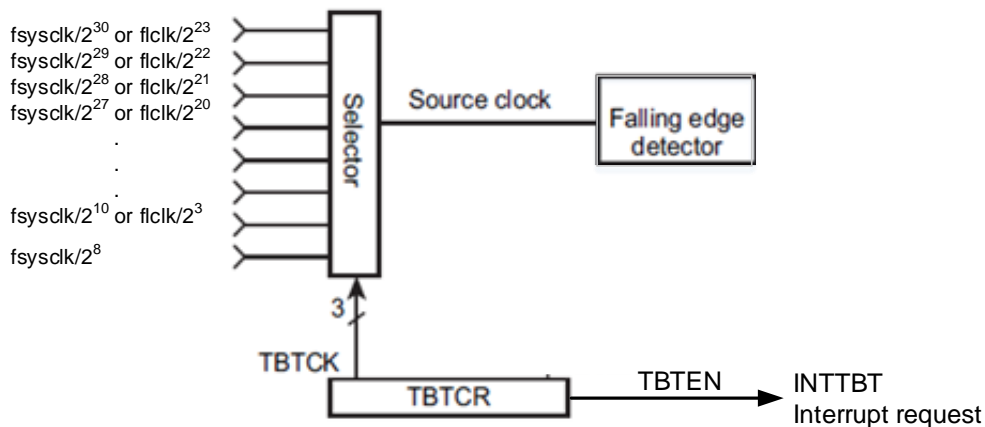


图 11.7 时基定时器架构

11.2.2 时基定时器控制

。

寄存器	描述
TBTCR	时基定时器控制寄存器

11.2.3 时基定时器功能

设定 TBTCR<TBTCCK>以选择时基定时器的源时钟频率。改变 TBTCR<TBTCCK>的设定，必须在 TBTCR <TBTEN>为“0”的情况下，否则时基定时器中断 INTTBT 要求的发生时序会不合预期。

设定 TBTCR<TBTEN>为“1”时，中断要求信号会在原时钟的下降沿产生。清空 TBTCR<TBTEN>为“0”则不会产生任何中断要求信号。

不论 TBTCR<TBTEN>设定为何，时基定时器的源时钟维持工作。

允许时基定时器中断要求后，在源时钟的第一个下降沿会产生一个时基定时器中断 INTTBT。因此，设定 TBTCR<TBTEN>为“1”到第一个中断要求发生之间的时间，会比 TBTCR<TBTCCK>设定的频率周期要短。

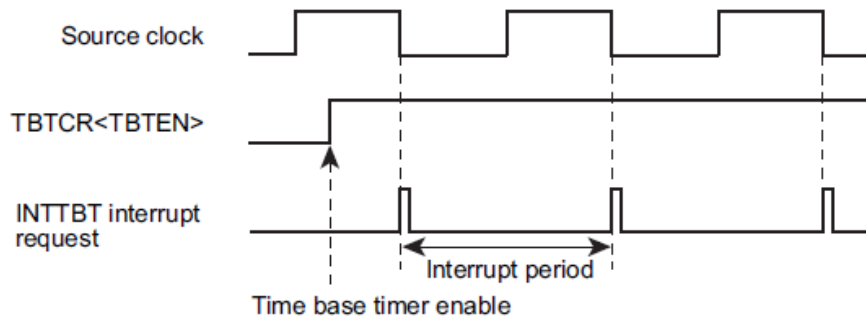


图 11.8 时基定时器中断

系统在一般模式和一般模式(低速时钟)之间切换时，由于系统时钟 fsysclk 和低速时钟 flclk 之间的同步，中断要求无法在预期的时间点发生。建议在 TBTCR<TBTEN>设定为“0”时进行进行系统工作模式的转换。

11.3 实时时钟(RTC)

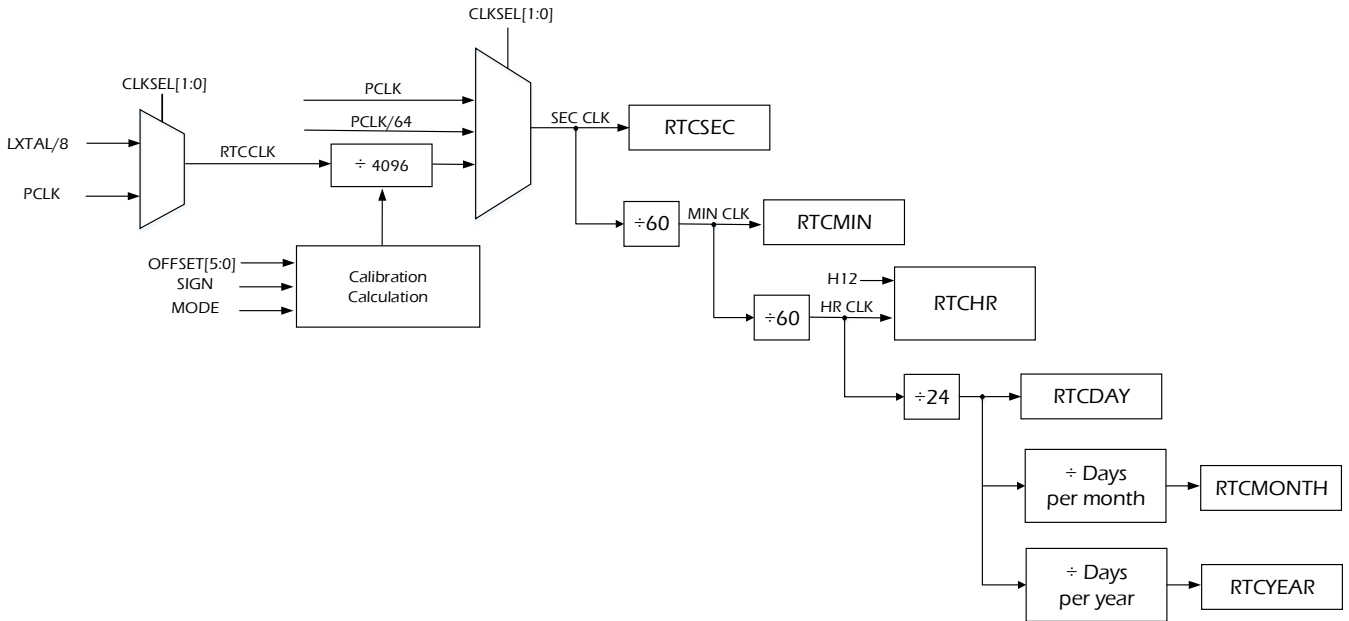


图 11.9 RTC 模块图

11.3.1 功能叙述

实时时钟(RTC)提供以下功能：

- 可提供最小到秒，最大到年的分辨率
- 具备秒、分、小时、日、星期、月份与年份寄存器
- 可以二进制十进制(Binary Coded Decimal, BCD)形式进行时区编码
- 可编程的参考时钟输出
- 闹钟中断
- 最小可达 4 ppm 的晶振老化校正与温度补偿

11.3.2 RTC 工作模式

在使用实时时钟(RTC)前，使用者需先使用软件设置实时时钟(RTC)的时间寄存器回初始值：RTC 秒数寄存器(RTCSEC)、RTC 分钟寄存器(RTCMIN)、RTC 小时寄存器(RTCHR)、RTC 日期寄存器(RTCDAY)、RTC 星期寄存器(RTCWDAY)、RTC 月份寄存器(RTCMTH)与 RTC 年份寄存器(RTCYEAR)，皆需进行设定。以上 RTC 寄存器皆有上锁机制，需将 RTCCR0<WREN>=1，这些寄存器才会解锁并可写入。当 RTC 禁止(RTCCR0<RTCEN>=0)时 WREN 默认值为 1；故 RTC 允许启动时(RTCCR0<RTCEN>=1)，则会禁止写入(WREN=0)。

RTC 内建可自动计算闰年的功能，RTC 时间寄存器对写入或阅读顺序并未有任何限制，但为能呈现最好的效能，建议在下次更新前，完成对寄存器进行读取。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

RTC 时钟是以 32kHz 外部低速时钟 (LXTAL)或内部外围总线(APB)作为时钟源，可由时钟选择寄存器(CLKSEL)设定时钟源。根据所选的时钟，RTC 输入时钟与秒数时钟如下表：

CLKSEL	RTCCLK	SECCLK
00	LXTAL / 8	LXTAL / 32768
others	系统保留	

表 11- 1 RTC 时钟选择清单

RTC 亦可作为外部装置的参考时钟，设置 RTC 时钟输出允许位 RTCCR0<CLKOEN>为 1 即可启动此功能，而此时钟输出的频率则由 RTC 时钟输出选择位 RTCCR0<CLKOSEL>进行设定。

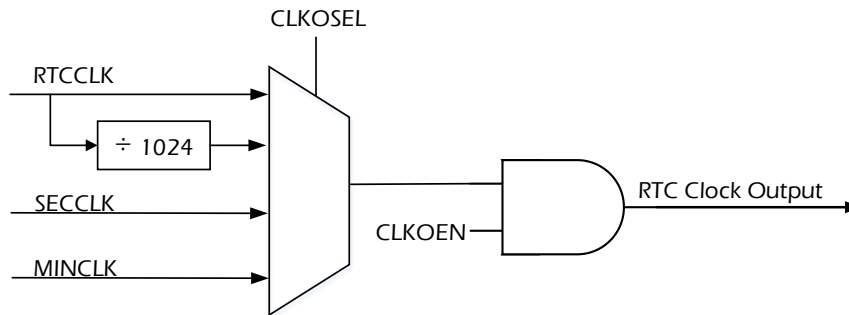


图 11- 1 RTC 时钟输出工作流程示意图

设定完 RTC 初始值后，用户可由软件设置 RTC 允许位 RTCCR0<RTCEN>为 1 来启动 RTC。若 RTC 允许位清除为 0 时，RTC 时钟会停止并保持其值，同时 RTC 输出也会停止。一旦 RTC 允许，RTC 时间寄存器会禁止写入，<WREN>也会清除为 0；相反的，清除 RTCEN 为 0 时，则允许写入 RTC 时间寄存器 (<WREN>=1)。由于 RTC 可能依时钟域，而非系统时钟，所以当<WREN>由 0 变更为 1 时，会产生中断。中断则可透过设定写入允许中断允许位<WRENIE>为 1 使能中断。

闹钟寄存器，RTC 分钟闹钟寄存器(RTCALMIN), RTC 小时闹钟寄存器(RTCALHR), RTC 日期闹钟寄存器(RTCALDAY), RTC 星期闹钟寄存器(RTCALWDAY)，可让使用者设定闹钟条件。各闹钟值皆可透过设定相对应的省略(bypass)位 (MINBYP, HRBYP, DAYBYP, WDAYBYP)跳过此时间单位的闹钟。若所有闹钟皆被省略，闹钟中断标帜(AIF)会于每分钟设置，同时若闹钟中断允许位(<ALIE>)启动的状况下，则会产生中断。

注 1：若要使用 KWI、RTC 与 LVD 退出深眠模式，进深眠模式前需先将 CLKCR1<HIRCEN>=1。

注 2：在深眠模式下使用 RTC 唤醒，需在程序中加 NOP 指令，程序范例请参考附注 D.使用注意事项。

13.3.2.1 RTC 温度补偿

大部分晶体在特定温度下会产生不同的频率偏差，为了补偿此偏差，RTC 提供补偿修正机制。SIGN 与 OFFSET 寄存器位定义补偿值的设定，当<SIGN>=0 时，会在此需要校正的区间内加入额外的 RTCCLK，当<SIGN>=1 时，则会减去 RTCCLK。

MODE 位则可定义执行补偿的频率，当<MODE>=0 时，会于每分钟完成校正；<MODE>=1 则会于每个小时完成校正。

MODE	SIGN	OFFSET	PPM
0	0	1	4.069
0	1	1	-4.069
1	0	1	4.340
1	1	1	-4.340

表 11-2 RTC 校正补偿值

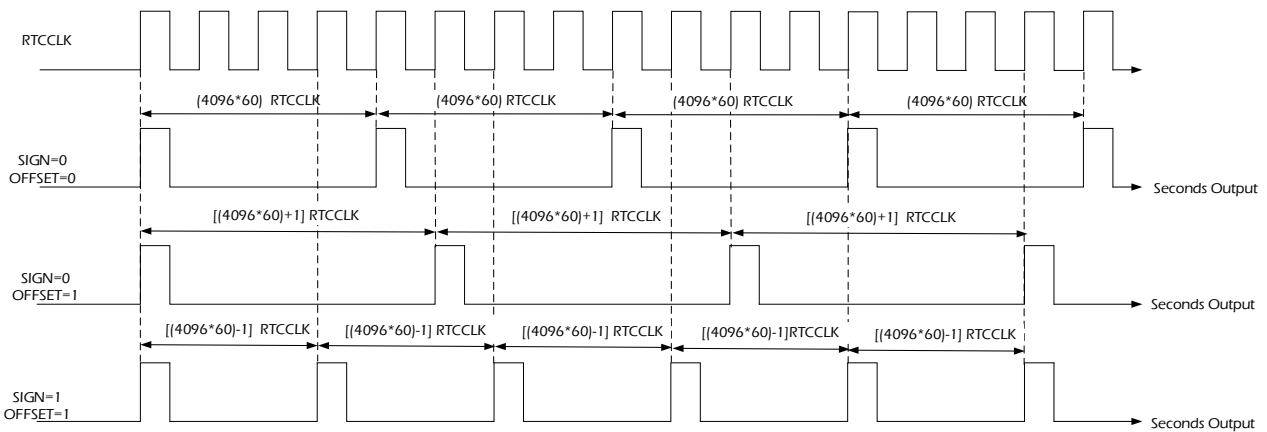


图 11-2 RTC 在 MODE=0 下校正时序范例

注 1：定时器补偿值，以 $4\text{ppm} \left(\frac{1}{4096 \times 60} \text{ RTCCLK} \right)$ 为单位增加，有效值 0~60，大于 60 其补偿值也视为 60。OFFSET 设定请参考 RTCOFST<OFFSET> 内容。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

11.3.2.2 RTC 定时器

RTC 亦提供分辨率除了秒之外的定时器，定时器控制寄存器(RTCTMRCCR)可控制并配置此定时器。

TMRSSEL	定时器时钟源	定时器周期 当 CLKSEL=00 (LXTAL/8)
00	RTCCLK	244 us
01	RTCCLK / 64	15.6 ms
10	RTCCLK / 4096	1 sec
11	MINCLK	1 min

表 11-3 定时器时钟选择

定时器时钟选择(<CLKSEL>)提供时钟源给此定时器，定时器可提供由奈秒(nano-second)至分钟范围的时基。RTC 定时器藉由设定定时器允许(<TMREN>)为 1 开启 RTC 定时器，由于定时器可于不同的时间域，定时器状态(<TMRST>)可反映出定时器最近的工作状态。当定时器工作中时，<TMRST>=1；而定时器闲置或是尚未启动时，<TMRST>=0。RTC 定时器超时寄存器则可设定超时值，当定时器启动时，会由 0 持续数至所设定超时值，接着超时标帜(<TOF>)则会设置为 1，同时，若超时中断位(<TOIE>)允许，即可于超时状态下产生超时中断。为获得适当的工作结果，超时值建议需大于 0。

定时器可由连续模式位(<CONT>)选择工作模式为单次模式或连续模式。当以单次模式(<CONT>=0)工作时，到达超时值后，定时器会停止计数；要再次启动定时器，使用者需先软件设定禁止定时器(<TMREN>=0)，然后再次启动定时器(<TMREN>=1)。而在连续模式(<CONT>=1)下，一旦到达超时值，定时器计数器会复位为 0，并重新开始计数。不论哪个模式下，一旦定时器工作(<TMRST>=1)，超时值就不可进行变更，以获得适当的工作结果。

11.3.2.3 中断

RTC 会产生下列的中断：

1. <WREN>中断。当<WREN>值由 0 变更为 1 时，<WREN>中断标帜(<WRENIF>)设置为 1，<WREN>中断允许状况下，即会产生中断。
2. 闹钟中断。当 RTC 分钟值变更时，闹钟值与相对应的时间寄存器相符的状况下，闹钟中断标帜(<ALF>)设置为 1，同时，闹钟中断允许(<ALIE>)时，即会产生中断。
3. 秒数中断。当 RTC 秒数值变更时，秒数中断标志(<SECF>)设置为 1，同时秒数中断允许(<SECIE>)时，即会产生中断。
4. 超时中断。当定时器计数达到所设定的超时值时，超时中断标帜(<TOF>)设置为 1，同时超时中断允许(<TOIE>)时，即会产生中断。

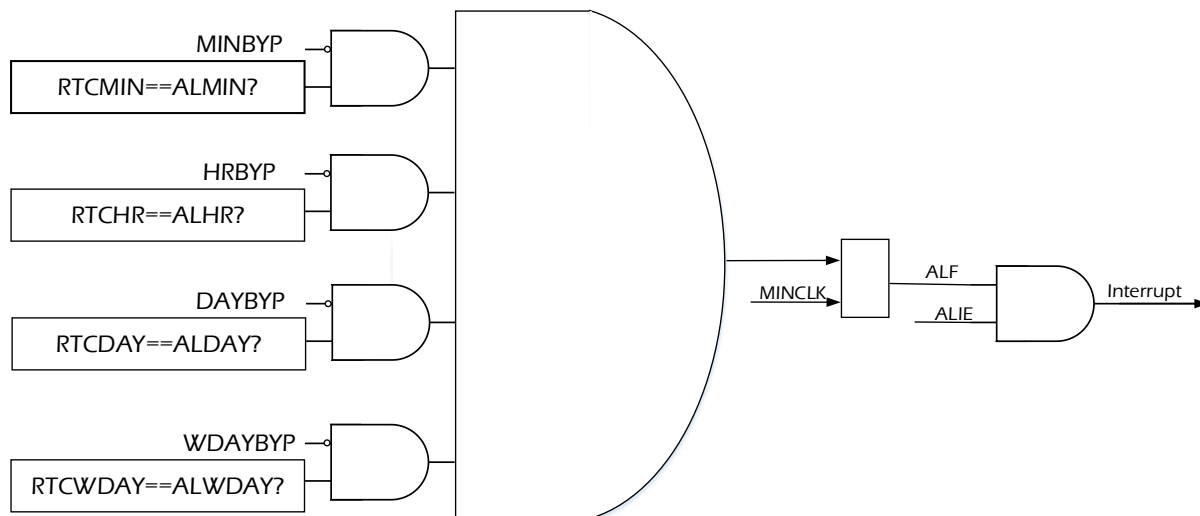


图 11-3 RTC 中断产生

11.3.3 实时时钟寄存器

寄存器	描述
RTCCRO	RTC 控制寄存器 0
RTCCR1	RTC 控制寄存器 1
RTCSEC	RTC 秒数寄存器
RTCMIN	RTC 分钟寄存器
RTCHR	RTC 小时寄存器
RTCDAY	RTC 日期寄存器
RTCWDAY	RTC 星期寄存器
RTCMONTH	RTC 月份寄存器
RTCYEAR	RTC 年份寄存器
RTCALMIN	RTC 分钟闹钟寄存器
RTCALHR	RTC 小时闹钟寄存器
RTCALDAY	RTC 日期闹钟寄存器
RTCALWDAY	RTC 星期闹钟寄存器
RTCTMRCR	RTC 定时器控制寄存器
RTCTMRTO	RTC 定时器超时寄存器
RTC OFST	RTC 补偿寄存器

表 11-4 RTC 寄存器清单

11.4 16 位定时器

SQ7653 产品线具备 10 个高效能 16 位定时器计数器 TCA0~TCA9。

	定时器输入引脚	定时器输出引脚	PPG 输出引脚
定时器 TCA0	TCA0_IN	TCA0_OUT	PPGA0B
定时器 TCA1	TCA1_IN	TCA1_OUT	PPGA1B
定时器 TCA2	TCA2_IN	TCA2_OUT	PPGA2B
定时器 TCA3	TCA3_IN	TCA3_OUT	PPGA3B
定时器 TCA4	TCA4_IN	TCA4_OUT	PPGA4B
定时器 TCA5	TCA5_IN	TCA5_OUT	PPGA5B
定时器 TCA6	TCA6_IN	TCA6_OUT	PPGA6B
定时器 TCA7	TCA7_IN	TCA7_OUT	PPGA7B
定时器 TCA8	TCA8_IN	TCA8_OUT	PPGA8B
定时器 TCA9	TCA9_IN	TCA9_OUT	PPGA9B

表 11-5 16 位定时器引脚名称

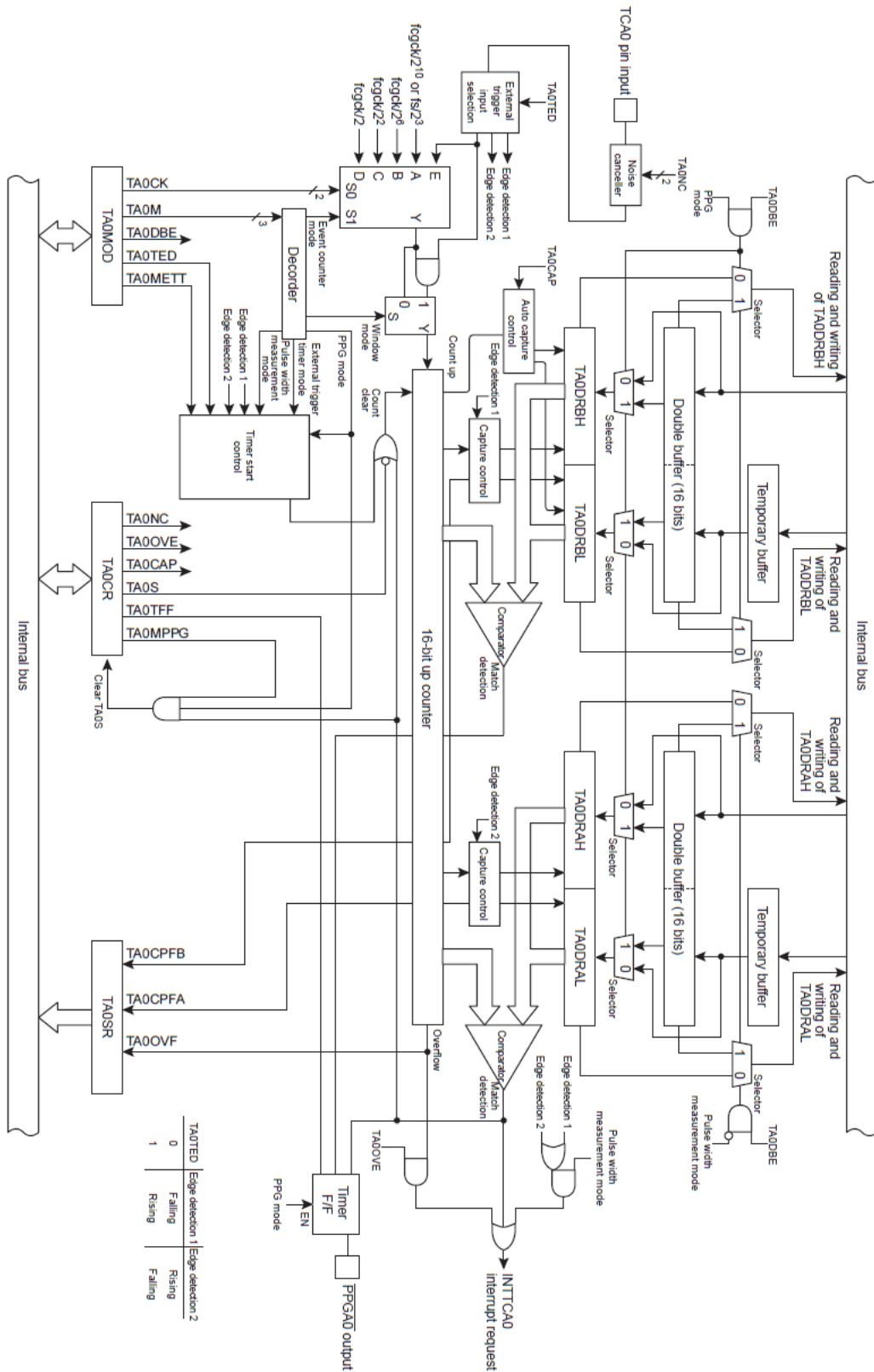


图 11-4 16 位定时器架构 (以 TCA0 为范例)

11.4.1 16 位定时器计数器控制

定时器计数器 TCA 是由外围电路时钟允许寄存器 PCKEN0/ PCKEN1、定时器 TCAx 模式寄存器 TAxMOD(x=0~9)、定时器 TCAx 控制寄存器 TAxCR(x=0~9)和 16 位定时器 TCAx 寄存器 TAxDRA 与 TAxDRB 控制(x=0~9)。

	TAxMOD	TAxCR	TAxSR	TAxDRAH	TAxDRAL	TAxDRBH	TAxDRBL	外围电路时钟 允许寄存器
定时器计数器 A0	TA0MOD	TA0CR	TA0SR	TA0DRAH	TA0DRAL	TA0DRBH	TA0DRBL	PCKEN0 <TCA0EN>
定时器计数器 A1	TA1MOD	TA1CR	TA1SR	TA1DRAH	TA1DRAL	TA1DRBH	TA1DRBL	PCKEN0 <TCA1EN>
定时器计数器 A2	TA2MOD	TA2CR	TA2SR	TA2DRAH	TA2DRAL	TA2DRBH	TA2DRBL	PCKEN0 <TCA2EN>
定时器计数器 A3	TA3MOD	TA3CR	TA3SR	TA3DRAH	TA3DRAL	TA3DRBH	TA3DRBL	PCKEN0 <TCA3EN>
定时器计数器 A4	TA4MOD	TA4CR	TA4SR	TA4DRAH	TA4DRAL	TA4DRBH	TA4DRBL	PCKEN1 <TCA4EN>
定时器计数器 A5	TA5MOD	TA5CR	TA5SR	TA5DRAH	TA5DRAL	TA5DRBH	TA5DRBL	PCKEN1 <TCA5EN>
定时器计数器 A6	TA6MOD	TA6CR	TA6SR	TA6DRAH	TA6DRAL	TA6DRBH	TA6DRBL	PCKEN1 <TCA6EN>
定时器计数器 A7	TA7MOD	TA7CR	TA7SR	TA7DRAH	TA7DRAL	TA7DRBH	TA7DRBL	PCKEN1 <TCA7EN>
定时器计数器 A8	TA8MOD	TA8CR	TA8SR	TA8DRAH	TA8DRAL	TA8DRBH	TA8DRBL	PCKEN1 <TCA8EN>
定时器计数器 A9	TA9MOD	TA9CR	TA9SR	TA9DRAH	TA9DRAL	TA9DRBH	TA9DRBL	PCKEN1 <TCA9EN>

以上表格为 TCA 寄存器地址，并于后续进行各个寄存器的说明。定时器 TCA 低/高位设定雷同，故寄存器皆以通用符号 x(x=0~9)进行说明。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

外围电路时钟允许寄存器 0 (PCKEN0)

PCKEN0	7	6	5	4	3	2	1	0
位符号	TCA3	TCA2	TCA1	TCA0	reserved	reserved	reserved	reserved
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

TCA3	TCA3 允许控制	0: 禁止 1: 允许
TCA2	TCA2 允许控制	0: 禁止 1: 允许
TCA1	TCA1 允许控制	0: 禁止 1: 允许
TCA0	TCA0 允许控制	0: 禁止 1: 允许

外围电路时钟允许寄存器 1 (PCKEN1)

PCKEN1	7	6	5	4	3	2	1	0
位符号	-	-	TCA9	TCA8	TCA7	TCA6	TCA5	TCA4
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

TCA9	TCA9 允许控制	0: 禁止 1: 允许
TCA8	TCA8 允许控制	0: 禁止 1: 允许
TCA7	TCA7 允许控制	0: 禁止 1: 允许
TCA6	TCA6 允许控制	0: 禁止 1: 允许
TCA5	TCA5 允许控制	0: 禁止 1: 允许
TCA4	TCA4 允许控制	0: 禁止 1: 允许

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

定时器 TCAX 模式寄存器(TAxMOD), x=0~9

TAxMOD	7	6	5	4	3	2	1	0
位符号	TADBE	TATED	TAMCAP TAMETT	TACK[1:0]		TAM[2:0]		
读/写	R/W	R/W	R/W	R/W		R/W		
复位后	1	0	0	0	0	0	0	0

TADBE	双缓存器控制	0: 禁止双缓存器 1: 允许双缓存器			
TATED	外部触发输入方式选择	0: 上升沿 / 高电平 1: 下降沿 / 低电平			
TAMCAP	脉宽测量模式控制	0: 双沿抓取 1: 单沿抓取			
TAMETT	外部触发定时器控制	0: 触发启动 1: 触发启动与结束			
TACK [1:0]	定时器 TCAX 源时钟选择		一般/睡眠模式		一般(低速时钟)/ 睡眠(低速时钟) 模式
			TBTCR<DV9CK>=0	TBTCR<DV9CK>=1	
		00:	$f_{sysclk}/2^{10}$	$f_{clk}/2^3$	$f_{clk}/2^3$
		01:	$f_{sysclk}/2^6$	$f_{sysclk}/2^6$	-
		10:	$f_{sysclk}/2^2$	$f_{sysclk}/2^2$	-
11:	$f_{sysclk}/2$	$f_{sysclk}/2$	-		
TAM[2:0]	定时器 TCAX 工作模式选择	000:	定时器模式		
		001:	定时器模式		
		010:	事件计数器模式		
		011:	PPG 输出模式(软件激活)		
		100:	外部触发定时器模式		
		101:	窗模式		
		110:	脉宽测量模式		
		111:	系统保留		

注 1 : f_{sysclk} · 系统时钟[Hz] · f_{clk} · 低速时钟[Hz]。

注 2 : 在定时器停止时(TAxCR <TAS>="0")才设定 TAxMOD。定时器工作时(TAxCR <TAS>="1")设定 TAxMOD 寄存器是无效的。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

定时器 TCAx 控制寄存器(TAxCR), x=0~9

TAxCR	7	6	5	4	3	2	1	0
位符号	TAOVE	TATFF	TANC [1:0]		-	-	TAACAP TAMPPG	TAS
读/写	R/W	R/W	R/W		R	R	R/W	R/W
复位后	0	1	0	0	0	0	0	0

TAOVE	溢位中断控制	0: 计数器溢位发生时, 不产生 INTTCAx 中断要求 1: 计数器溢位发生时, 产生 INTTCAx 中断要求	
TATFF	定时器 F/F 控制	0: 清除 1: 设定	
TANC[1:0]	噪声抑制取样间隔设定		一般/ 睡眠模式
		00:	无噪声抑制
		01:	$fsysclk / 2$
		10:	$fsysclk / 2^2$
11:	$fsysclk / 2^8$	一般(低速时钟) / 睡眠(低速时钟)模式	
TAACAP	自动抓取功能	0: 禁止自动抓取 1: 允许自动抓取	
TAMPPG	PPG 输出控制	0: 连续 1: 单次	
TAS	定时器 TCAx 启动控制	0: 停止并清除定时器 1: 开始	

注 1: 自动抓取功能只可用于定时器模式、事件计数器模式、外部触发定时器模式及窗模式。

注 2: 在定时器停止时(TAS="0")才设定 TATFF、TAOVE 与 TANC。在定时器工作时(TAS="1")设定是无效的。

注 3: 系统切换至深眠模式时, TAS 寄存器会被清空为"0"并停止定时器。系统脱离深眠模式后, 需再次设定 TAS 寄存器以使用定时器 TCAx。

注 4: TAxCR 寄存器的第 3 位与第 2 位读出数值为"0"。

注 5: 在一般(低速时钟)或睡眠(低速时钟)1 模式下, 不要将 TANC 设定为"01"或"10"。将 TANC 设定为"01"或"10"将停止噪声抑制功能, 且定时器将无信号输入。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

定时器 TCAX 状态寄存器(TAxSR), x=0~9

TAxSR	7	6	5	4	3	2	1	0
位符号	TAOVF	-	-	-	-	-	TACPFA	TACPFB
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	0	0	0	0

TAOVF	溢位标识	0: 未发生溢位 1: 至少发生 1 次溢位
TACPFA	抓取完成标识 A	0: 未完成抓取工作 1: 在双沿抓取模式下至少完成 1 次脉宽抓取
TACPFB	抓取完成标识 B	0: 双沿抓取 1: 在单沿抓取模式下至少完成 1 次抓取工作 在双沿抓取模式下至少完成 1 次脉宽抓取

注 1 : TAOVF、TACPFA 和 TACPFB 将在 TASR 完成读取后自动清除为 0。对 TCAxSR 的写入是无效的。

注 2 : TAxSR 寄存器的第 6 位到第 2 位读出数值为“0”。

定时器 TCAX 高位寄存器 A (TAxDRAH), x=0~9

TAxDRAH	15	14	13	12	11	10	9	8
位符号	TADRAH[15:8]							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	1	1	1	1	1	1	1	1

定时器 TCAX 低位寄存器 A (TAxDRAL), x=0~9

TAxDRAL	7	6	5	4	3	2	1	0
位符号	TADRAL[7:0]							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	1	1	1	1	1	1	1	1

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

定时器 TCx 高位寄存器 B (TADRbH), x=0~9

TADRbH	15	14	13	12	11	10	9	8
位符号	TADRbH[15:8]							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	1	1	1	1	1	1	1	1

定时器 TCx 低位寄存器 B (TADRbL), x=0~9

TADRbL	7	6	5	4	3	2	1	0
位符号	TADRbL[7:0]							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	1	1	1	1	1	1	1	1

注 1 : 对 TADRAL (TADRbL) 进行写入指令时, 设定值会先存储于暂时缓存器中, 而不会立即生效。而后, 写入高位寄存器 TADRbH (TADRbH) 时, 16 位设定值将共同存储于双缓存器或 TADRbL/H。在设定定时器 TCx 寄存器时, 要确认先写入低位寄存器、再写入高位寄存器。

注 2 : 在脉宽测量模式下, 无法写入定时器计数器寄存器。

11.5.2 低耗电功能

设定定时器 TCx 的低耗电寄存器 PCKEN0/PCKEN1<TCx>为“0”, 在不需使用定时器时停止定时器 TCx 的基本时钟供应, 以节省系统耗电; 此时定时器无法使用。设定 PCKEN0/PCKEN1<TCx>为“1”可启动定时器计数器的基本时钟供应, 并启动定时器工作。

复位后, PCKEN0/PCKEN1<TCx>会被回复至初始设定“0”, 定时器的工作停止。第一次使用定时器前, 必须在程序初始设定中, 设定 PCKEN0/PCKEN1<TCx>为“1” (在定时器控制寄存器工作前)。

不要在定时器工作时改变 PCKEN0/PCKEN1<TCx>的设定为“0”, 否则定时器计数器的工作可能会不合预期。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

11.5.3 定时器功能

定时器 TCAX 有 6 种工作模式，包括：定时器模式，外部触发定时器模式，事件计数器模式，窗模式，脉宽测量模式及可程序设计脉冲产生 PPG 输出模式。

11.5.3.1 定时器模式

在定时器模式中，定数器会依内部时钟往上计数，并于特定的时间点规律地产生中断。

(a) 设定

设定 TAxMOD<TAM>为“000”或“001”以启动定时器模式。设定 TAxMOD<TACK>选择源时钟。

设定 TAxCR<TAS>为“1”以启动定时器工作。定时器启动后，对 TAxMOD 与 TAxCR<TAOVE>的写入变成无效。在启动定时器前，必须先完成所有必要模式设定。

TAxMOD <TACK>	源时钟[Hz]			分辨率		
	一般或睡眠模式		一般，睡眠模式 (低速时钟)	fsysclk =24MHz		fclk = 32.769 Hz
	TBTCR <DV9CK> =0	TBTCR <DV9CK> =1		TBTCR <DV9CK> =0	TBTCR <DV9CK> =1	
00	fsysclk/2 ¹⁰	fclk/2 ³	fclk/2 ³	42.67us	244.14us	244.14us
01	fsysclk/2 ⁶	fsysclk/2 ⁶	-	2.67 us	2.67 us	-
10	fsysclk/2 ²	fsysclk/2 ²	-	166.67ns	166.67ns	-
11	fsysclk/2	fsysclk/2	-	83.34ns	83.34ns	-

表 11-6 定时器模式分辨率与最长时间设定

(b) 工作

设定 TAxCR<TAS>为“1”，让 16 位计数器依选择的内部源时钟往上计数。当计数器数值达到定时器 TCAX 寄存器 A (TAxDRA)的设定数值时，INTTCAX 中断要求会被产生，计数器会被清空为“0x0000”。清空后，计数器会再度开始计数。定时器工作时，若设定 TAxCR<TAS>为“0”，计数器停止工作同时被清除为“0x0000”。

(c) 自动抓取

将 TAxCR<TAACAP>设定为“1”可将往上计数的最新计数值放入定时器 TCAX 寄存器 B(TAxDRB)中 (自动抓取功能)。当 TAxCR<TAACAP>为“1”时，往上计数的最新计数值可由 TAxDRBL 读取。读取 TAxDRBL 的同时也会加载 TAxDRBH。因此，在读入抓取数值时，确认先读取 TAxDRBL、再读取 TAxDRBH (抓取时间为读取 TAxDRBL 所需的时间)。定时器工作或停止时皆可使用自动抓取功能。当定时器停止时，TAxDRBL 的读值为“0x00”。TAxDRBH 在定时器停止后将保持原先的抓取值，至 TAxDRBL 于定时器停止时被读取后，将被清除为“0x00”。

若定时器启动且 TAxCR<TAACAP>被写为“1”，则定时器启动后将立即开始自动抓取工作。

注：当 TAxCR<TAS>由“1”改写为“0”时，无法同时改变 TAxCR<TAACAP>的设定值。(设定无效)

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

(d) 寄存器缓存架构

1. 暂时缓存器

本产品具备 1 个 8 位暂时缓存器。在进行 TAxDRAL 写入时，不论允许或禁止双缓存器功能，写入数据将先储存在此暂时缓存器。而后，在进行 TAxDRAH 写入时，设定值将存入双缓存器或 TAxDRAH。同时，暂时缓存器内的设定值将存入双缓存器或 TAxDRAL(此设计架构是为了使低位寄存器与高位寄存器的设定值同时生效)。因此，在设定 TAxDRA 时，确认先将数据写入 TAxDRAL、再写入 TAxDRAH。

2. 双缓存器

本产品可透过设定 TAxCR<TADBF>以使用双缓存器。若要允许/禁止使用双缓存器，分别设定 TAxCR<TADBE>为“1”和“0”。

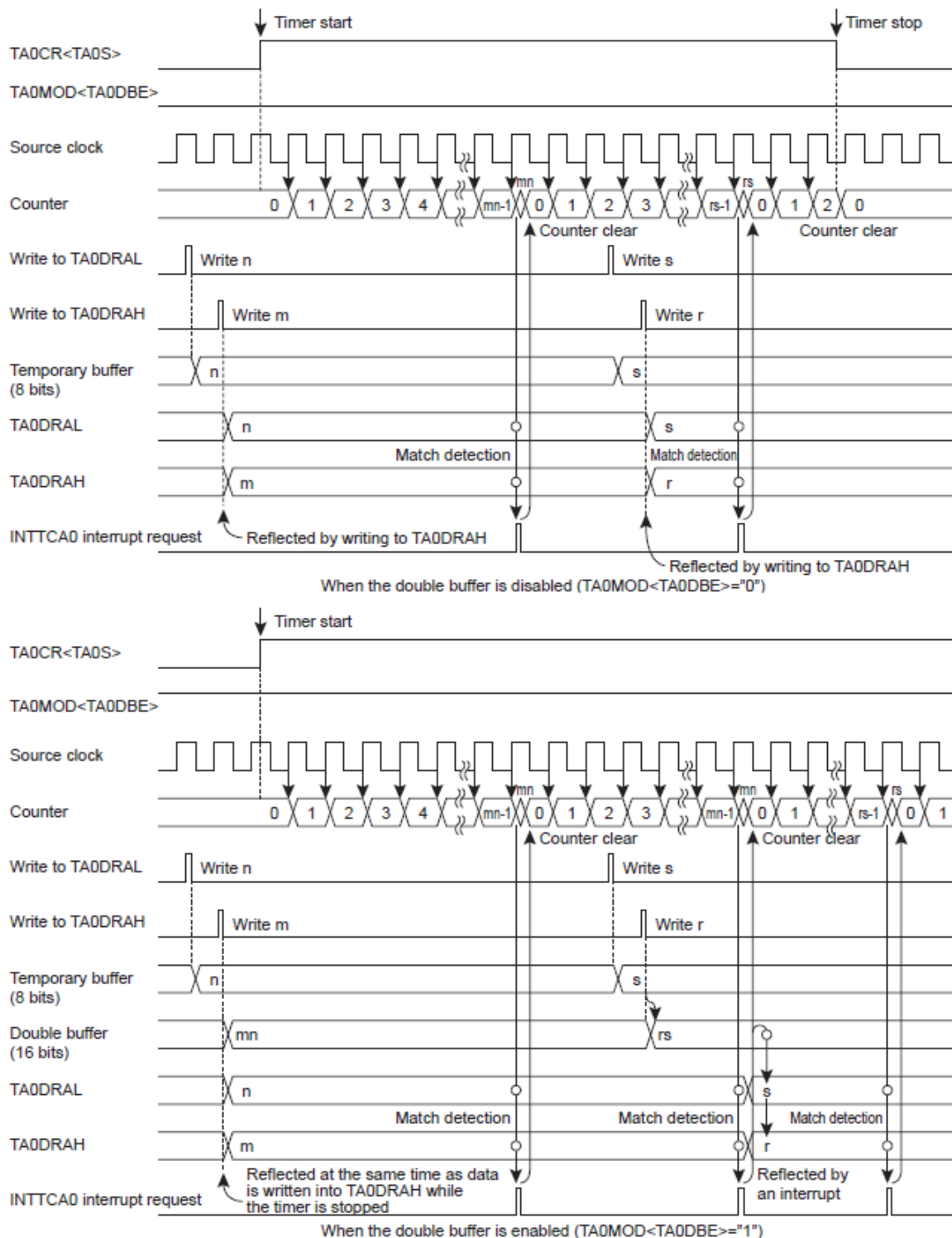


图 11-5 定时器模式时序图(以 TCA0 为范例)

- 允许双缓存器时

若于定时器工作时执行 TAxDRAH 寄存器的新设定值写入，新设定值会先存储于双缓存器中，而不会立即改变 TAxDRAH/L 的设定。TAxDRAH/L 会比较计数器数值与原设定值。

当计数器数值达到原设定值时，INTTCAx 中断要求会被产生，双缓存器存储的新设定值会被存入 TAxDRAH/L。而后的定时器比对检测工作就会依新的设定值进行。

对 TAxDRAH/L 进行读取时，所读取的是存于双缓存器内的值(原设定值)，而非存于 TAxDRAH/L 内的值(最新的有效数值)。

若于定时器停止时执行 TAxDRAH/L 寄存器的新设定值写入，新设定值会直接存储于双缓存器与 TAxDRAH/L 寄存器内。

- 禁止双缓存器时

若于定时器工作时执行 TAxDRAH 寄存器的新设定值写入，新设定值会直接存入 TAxDRAH/L。后续的定时器比对检测工作会依新的设定值进行。

若 TAxDRAH/L 的新设定值小于计数器数值，新设定值的比对检测会在计数器的计数溢位后才执行。因此，中断要求间隔可能会比设定的时间要长。如果操作上有问题，建议启动双缓存器。

若于定时器停止时执行 TAxDRAH/L 寄存器的新设定值写入，新设定值会直接存储于 TAxDRAH/L 寄存器内。

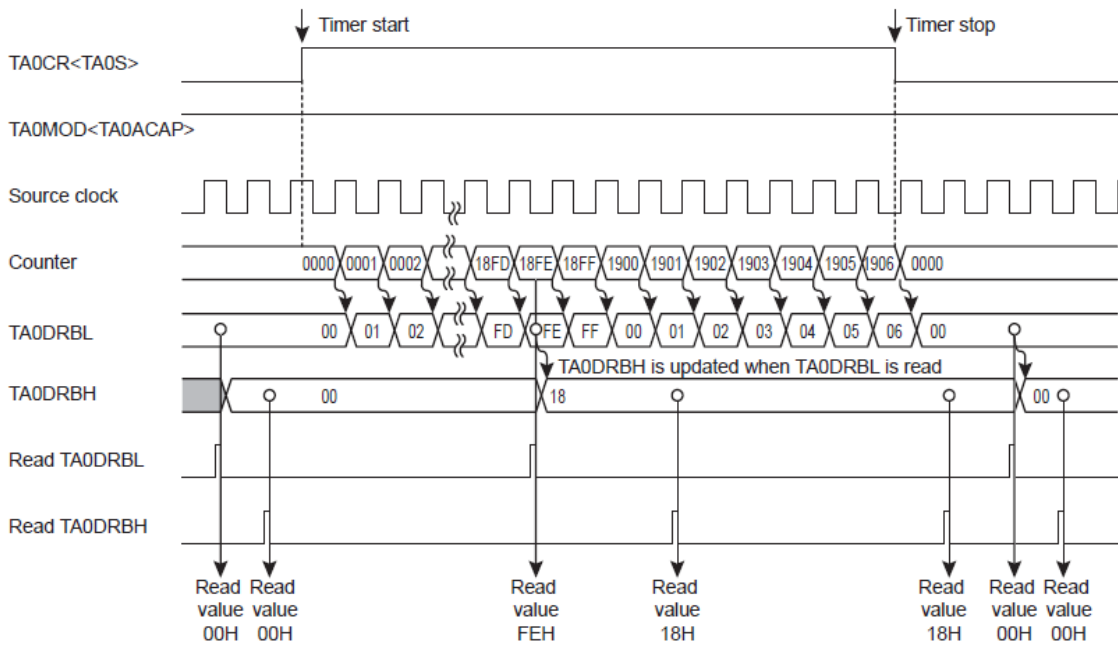


图 11-6 TCA0 定时器模式范例时序图 (自动抓取)

13.5.3.2 外部触发定时器模式

在外部触发定时器模式中，计数器会在 TCAx 引脚输入触发后依往上计数。

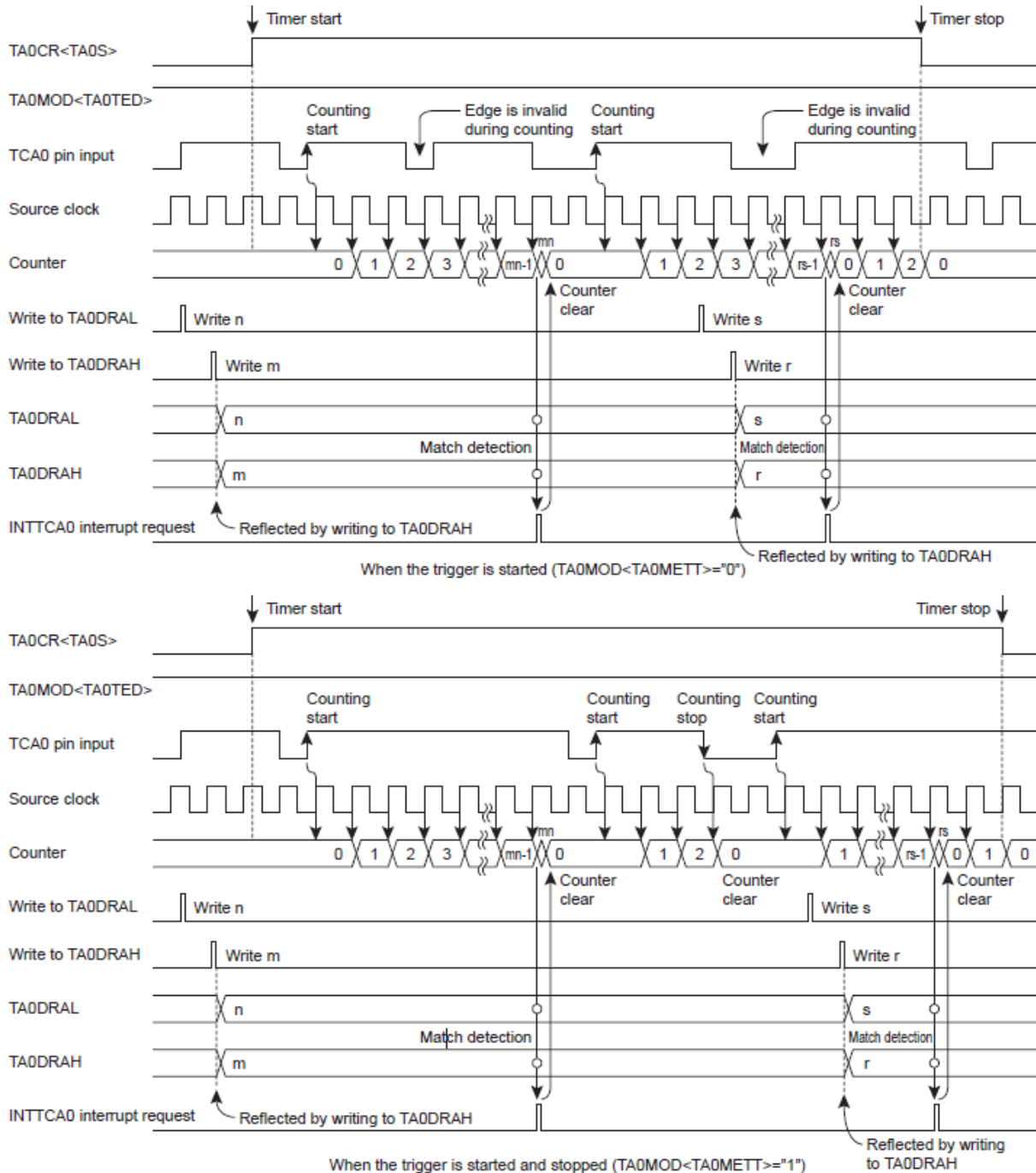


图 11-7 外部触发定时器模式时序图(TCA0 为范例)

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

(a) 设定

设定 TAxMOD<TAM>为“100”以启动外部触发定时器模式。设定 TAxMOD<TACK>选择源时钟。

设定触发沿输入选择 TAxMOD<TATED>以选择触发沿。输入选择 TAxMOD<TATED>以选择触发沿。设定 TAxMOD<TATED>为“0”选择上升沿触发，设定为“1”选择下降沿。

此模式需使用 TCAx 输入引脚，请确认在使用前、先将 TCAx 引脚端口设定为输入模式。

设定 TAxCR<TAS>为“1”以启动定时器工作。定时器启动后，无法对 TAxMOD 与 TAxCR<TAOVE>写入。在启动定时器前，必须先完成所有必要模式设定。

(b) 工作

定时器启动后，当所选择的触发沿输入 TCAx 引脚时，计数器将依选择的内部源时钟往上计数。当计数器数值达到定时器 TCAx 寄存器 A(TAxDRA)的设定数值时，INTTCAx 中断要求会被产生，计数器会被清空为“0x0000”。清空后，计数器会再度开始计数。

当 TAxMOD<TAMETT>为“1”且系统检测到与所选择的触发沿相反的沿信号时，计数器停止工作同时被清除为“0x0000”。而后，当检测到所选择的触发沿信号时，计数器会再度开始计数。在此模式下，可藉由检测超过特定脉宽的脉冲输入来产生中断要求。当 TAxMOD <TAMETT>为“0”时，由侦测到特定触发沿开始、到启动计数后至比对检测符合为止的期间，侦测相反触发沿的动作将被忽略。

定时器工作时，若设定 TAxCR<TAS>为“0”，计数器停止工作同时被清除为“0x0000”。

(c) 自动抓取

参考“13.5.3.1 - (c) 自动抓取”。

(d) 寄存器缓存架构

参考“13.5.3.1 - (d) 寄存器缓存架构”。

13.5.3.3 事件计数器模式

在事件计数器模式中，计数器会依 TCAx 引脚的输入信号触发沿往上计数。

(a) 设定

设定 TAxMOD<TAM>为“010”以启动事件计数器模式。

设定触发沿输入选择 TAxMOD<TATED>以选择触发沿。设定 TAxMOD<TATED>为“0”选择依上升沿触发往上计数，设定为“1”选择依下降沿往上计数。

此模式需使用 TCAx 输入引脚，请确认在使用前、先将 TCAx 引脚端口设定为输入模式。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

设定 $TAx1CR<TAS>$ 为 "1" 以启动定时器工作。定时器启动后，无法对 $TAxMOD$ 与 $TAxCR<TAOVE>$ 写入。在启动定时器前，必须先完成所有必要模式设定。

(b) 工作

事件计数器模式启动后，当所选择的触发沿输入 $TCAx$ 引脚时，计数器开始往上计数。

当计数器数值达到定时器 $TCAx$ 寄存器 A ($TAxDRA$) 的设定数值时， $INTTCAx$ 中断要求会被产生，计数器会被清空为 "0x0000"。清空后，计数器会依 $TCAx$ 输入信号的每个上升沿与下降沿重新往上计数。

定时器工作时，若设定 $TAxCR<TAS>$ 为 "0"，计数器停止工作同时被清除为 "0x0000"。

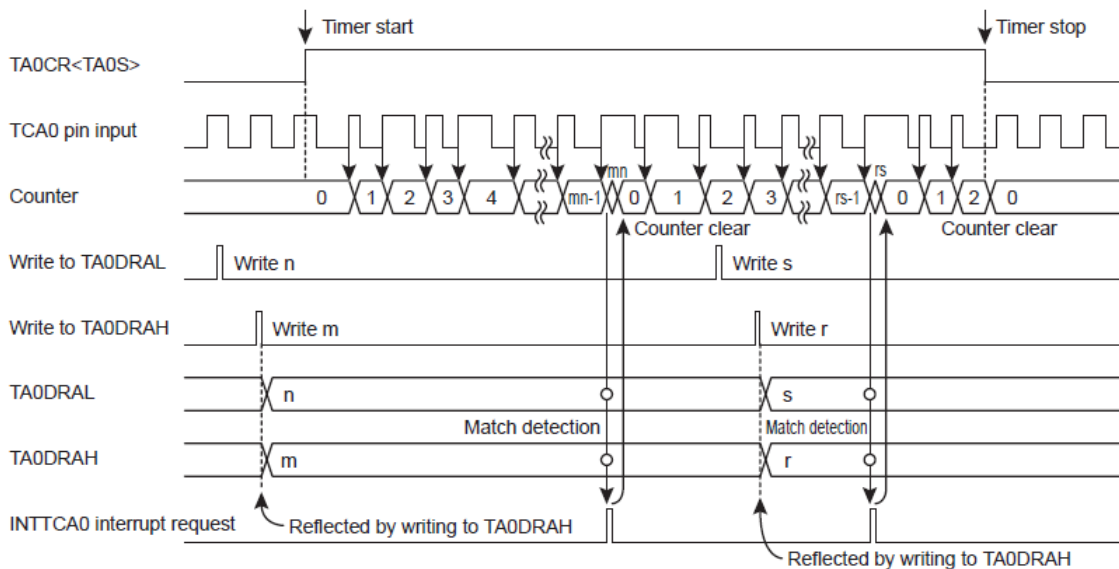
最高工作频率是 $f_{sysclk}/2^2$ [Hz] (一般或睡眠模式)，或 $f_{clk}/2^4$ [Hz] (一般(低速时钟)或睡眠(低速时钟)模式)。高电平或低电平信号脉宽必须大于等于两个机器周期。

(c) 自动抓取

参考 "13.4.3.1 - (c) 自动抓取"。

(d) 寄存器缓存架构

参考 "13.4.3.1 - (d) 寄存器缓存架构"。



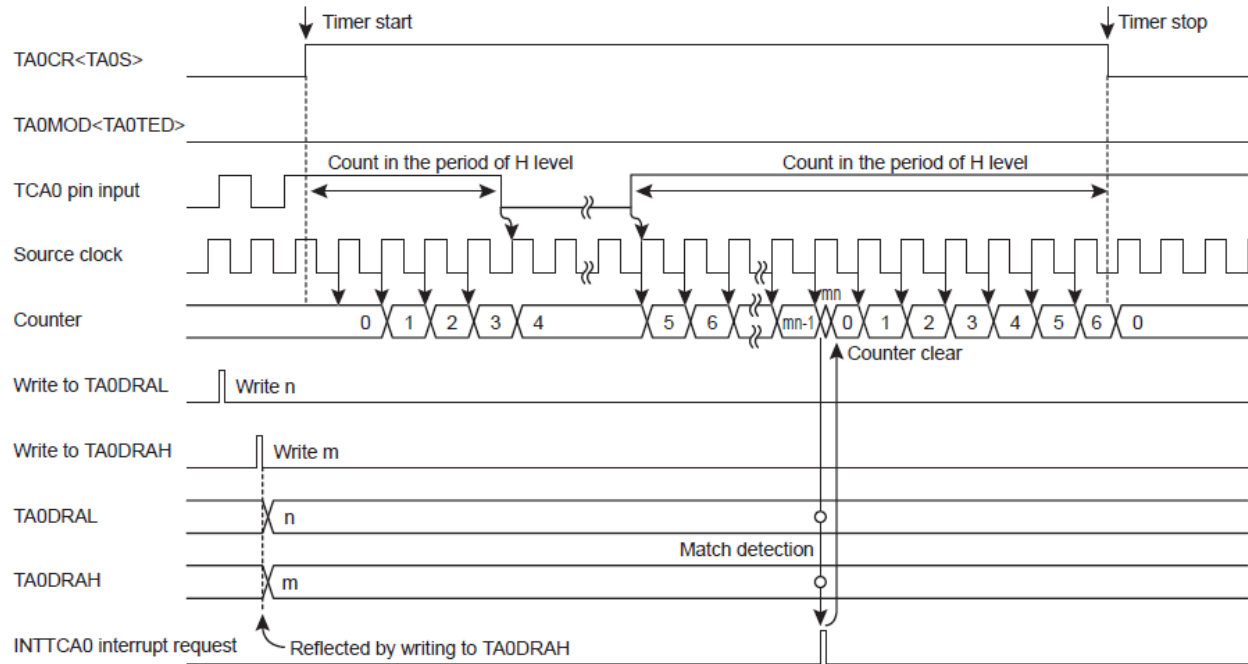
When the rising edge is selected ($TA0MOD<TA0TED>="0"$)

图 11-8 事件计数器模式时序图(TCA0 为范例)

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

13.5.3.4 窗模式

在窗模式中，计数器会依 TCAx 引脚输入脉冲(窗脉冲)与内部时钟之逻辑乘积(AND)脉冲的上升沿往上计数。



During the H-level counting (TA0MOD<TA0TED>="0")

图 11-9 窗模式时序图(TCA0 为范例)

(a) 设定

设定 TAxMOD<TAM>为"101"以启动窗模式。设定 TAxMOD<TACK>选择源时钟。

设定触发沿输入选择 TAxMOD<TATED>以选择窗脉冲电平。设定 TAxMOD<TATED>为"0"选择依窗脉冲高电平往上计数，设定为"1"选择依窗脉冲低电平往上计数。

此模式需使用 TCAx 输入引脚，请确认在使用前、先将 TCAx 引脚端口设定为输入模式。

设定 TAxCR<TAS>为"1"以启动定时器工作。定时器启动后，无法对 TAxMOD 与 TAxCR<TAOVE>写入。在启动定时器前，必须先完成所有必要模式设定。

(b) 工作

窗模式工作启动后，当 TAxMOD<TATED>所选择的电平输入 TCAx 引脚时，计数器开始依 TAxMOD<TACK>所选择的源时钟往上计数。

当计数器数值达到定时器 TCAx 寄存器 A(TAxDRA)的设定数值时，INTTCAx 中断要求会被产生，计数器会被清空为"0x0000"。清空后，计数器会重新开始往上计数。

最高工作频率不能太快，以免程序无法分辨计数值。频率脉冲的定义应充分低于所程序设计的内部源时钟。

定时器工作时，若设定 TAxCR<TAS>为"0"，计数器停止工作同时被清除为"0x0000"。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

(c) 自动抓取

参考“13.5.3.1 - (c) 自动抓取”。

(d) 寄存器缓存架构

参考“13.5.3.1 - (d) 寄存器缓存架构”。

13.5.3.5 脉宽测量模式

在脉宽测量模式中，计数器会依 TCAx 引脚输入之上升沿/下降沿往上计数，并依内部时钟测量输入脉宽。

(a) 设定

设定 TAxMOD<TAM>为“110”以启动脉宽测量模式。设定 TAxMOD<TACK>选择源时钟。

设定触发沿输入选择 TAxMOD<TATED>以选择触发沿。设定 TAxMOD<TATED>为“0”选择依上升沿触发开始抓取脉宽，设定为“1”选择依下降沿触发开始抓取脉宽。

抓取后的动作由脉宽测量模式控制 TAxMOD<TAMCAP>决定。设定 TAxMOD<TAMCAP>为“0”选择双沿抓取。设定 TAxMOD<TAMCAP>为“1”选择单沿抓取。

计数溢位后的动作可由溢位中断控制 TAxCR<TAOVE>设定。设定 TAxCR<TAOVE>为“0”选择计数溢位发生时不产生 INTTCAx 中断要求。设定 TAxCR<TAOVE>为“1”选择计数溢位发生时产生 INTTCAx 中断要求。

此模式需使用 TCAx 输入引脚，请确认在使用前、先将 TCAx 引脚端口设定为输入模式。

设定 TAxCR<TAS>为“1”以启动定时器工作。此时，TAxDRA 与 TAxDRB 寄存器将被初始化为“0x0000”。定时器启动后，无法对 TAxMOD 与 TAxCR<TAOVE>写入。在启动定时器前，必须先完成所有必要模式设定。

(b) 工作

定时器启动后，当所选择的触发沿 (启动沿) 输入 TAx 引脚时，INTTCAx 中断要求将被产生，计数器开始依所选择的源时钟往上计数。而后，当系统检测到与所选择的触发沿相反的沿信号时，计数值将被抓取至 TAxDRB，并产生 INTTCAx 中断要求，然后设定 TAxSR <TACPFB>为“1”。依据不同的 TAxMOD<TAMCAP>设定，有以下不同的工作方式：

1. 双沿抓取 (当 TAxMOD <TAMCAP>为“0”)

当系统检测到与所选择的触发沿相反的沿信号后开始往上计数。而后，当所选择的触发沿输入时，计数值将被抓取至 TAxDRA，并产生 INTTCAx 中断要求，然后设定 TAxSR <TACPFA>为“1”。此时，计数器将被清除为“0x0000”。

2. 单沿抓取 (当 TAxMOD <TAMCAP>为“1”)

当系统检测到与所选择的触发沿相反的沿信号后停止往上计数，并被清除为“0x0000”。而后，当启动沿输入时，INTTCAx 中断要求将被产生，计数器会重新开始往上计数。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

若在抓取时发生计数溢位，溢位标识 $TAxSR<TAOVF>$ 会被设定为“1”。此时如果溢位中断标识 $TAxCR<TAOVE>$ 为“1”，将产生 $INTTCAx$ 中断要求。

$TAxSR$ 被读取后，抓取完成标识 $TAxSR<TACPFA, TACPFB>$ 与溢位标识 $TAxSR<TAOVF>$ 将自动被清除为“0”。

抓取值应在侦测到下一个触发沿之前完成由 $TAxDRB$ 的读取动作（双沿抓取时由 $TAxDRA$ 读取）。若未完成抓取值读取，将处于未定义状态。 $TAxDRA$ 与 $TAxDRB$ 应以 16 位指令存取。

定时器工作时，若设定 $TAxCR<TAS>$ 为“0”，计数器停止工作时同时被清除为“0x0000”。

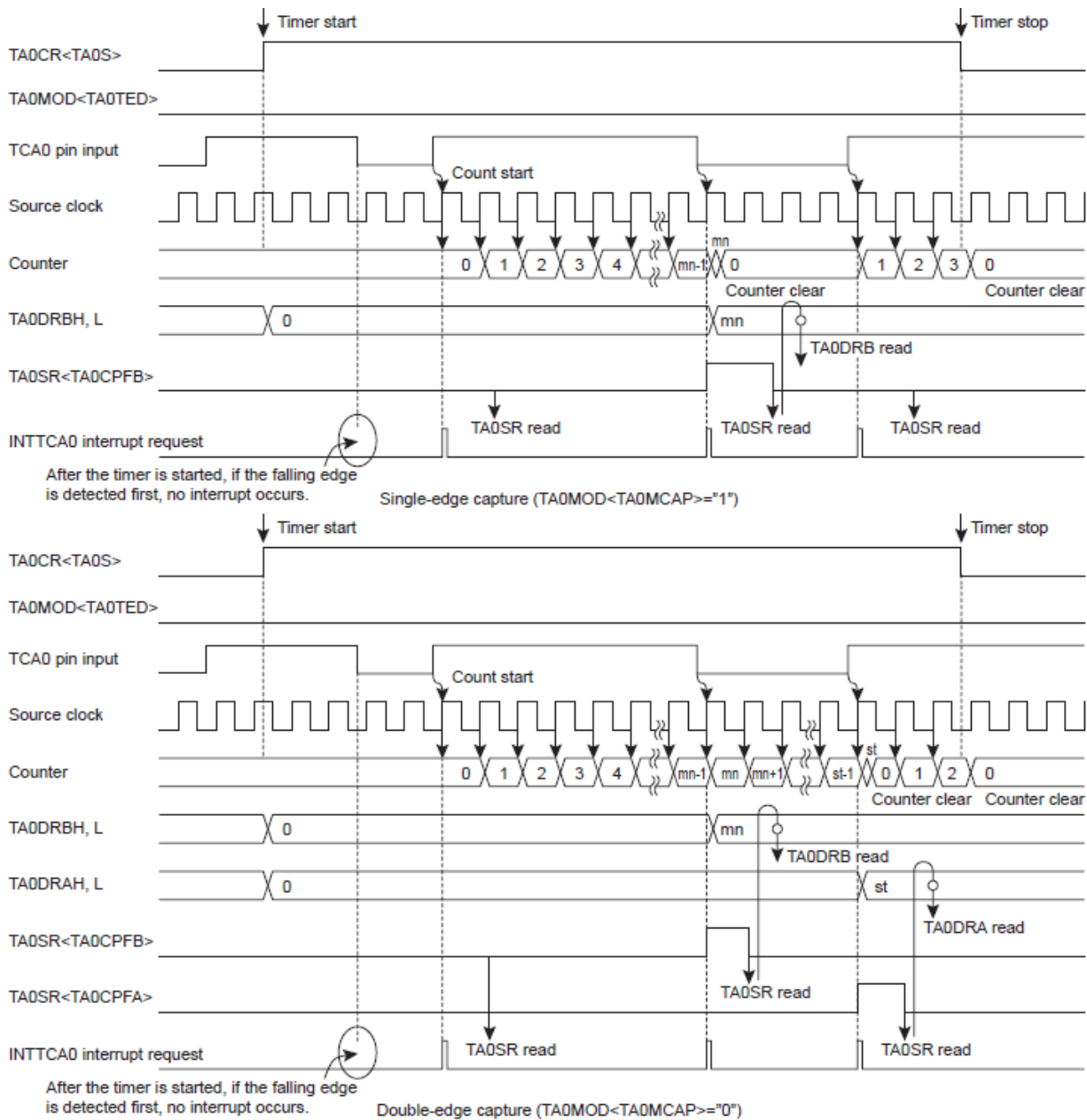


图 11- 10 脉宽测量模式时序图(TCA0 为范例)

注：定时器启动后，若先侦测到与所选择的触发沿相反的信号沿，将不会进行抓取动作、也不会产生 INTTCAx 中断要求。在此情况下，抓取动作将于侦测到下一个所选择的触发沿开始。

(c) 抓取进程

图 11- 11 为 INTTCAx 中断子程序之抓取进程范例。抓取沿或溢位状态可由状态寄存器 TAxSR 轻易判断。

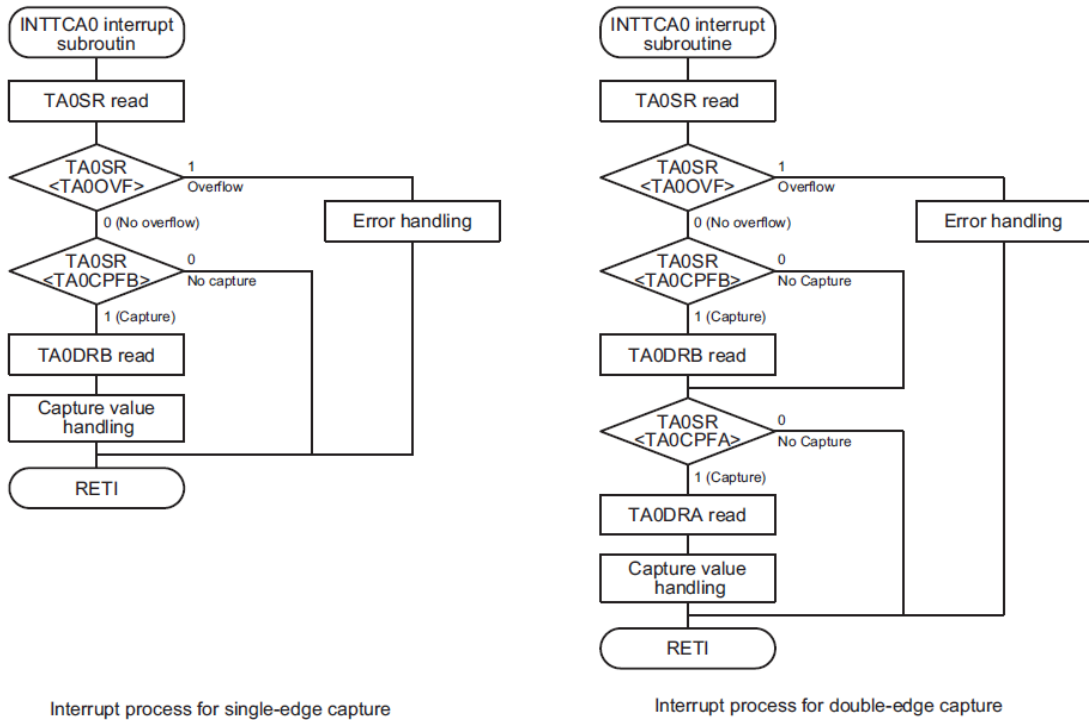


图 11- 11 TCA0 抓取进程范例

13.5.3.6 可程序设计脉冲产生 PPG 输出模式

在可程序设计脉冲产生 PPG 输出模式中，由两个定时器寄存器输出任意占空比的脉冲。

(a) 设定

设定 TAxMOD<TAM>为“011”以启动 PPG 输出模式。设定 TAxMOD<TACK>选择源时钟。设定 TAxCR<TAMPPG>选择连续或单次 PPG 输出。

以 TAxDRA 设定 PPG 输出周期、并以 TAxDRB 设定首次输出反向的时间。确认 TAxDRA 的寄存器设定值较 TAxDRB 为大。此模式需使用 PPGA0B 引脚，请确认在使用前、先将 PPGA0B 引脚端口设定为输出模式。

在定时器触发器 TAxCR<TATFF>设定 PPGA0B 引脚的初始值。设定 TAxCR<TATFF>为“1”选择高电平为 PPGA0B 引脚的初始值。设定 TAxCR<TATFF>为“0”选择低电平为 PPGA0B 引脚的初始值。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

设定 $TAxCR<TAS>$ 为 "1" 以启动定时器工作。定时器启动后，无法对 $TAxMOD$ 与 $TAxCR<TAOVE, TATFF>$ 写入。在启动定时器前，必须先完成所有必要模式设定。

(b) 工作

定时器启动后，计数器开始往上计数。

当计数器数值达到定时器 $TCAx$ 寄存器 B($TAxDRB$) 的设定数值。若 $TAxCR<TATFF>$ 设定为 "0"， $PPGA0B$ 引脚由低电平改变成高电平。若 $TAxCR<TATFF>$ 设定为 "1"， $PPGA0B$ 引脚由高电平改变成低电平。

而后，计数器持续往上计数。当计数器数值达到定时器 $TCAx$ 寄存器 A($TAxDRA$) 的设定数值，若 $TAxCR<TATFF>$ 设定为 "0"， $PPGA0B$ 引脚由高电平改变成低电平。若 $TAxCR<TATFF>$ 设定为 "1"， $PPGA0B$ 引脚由低电平改变成高电平。此时， $INTTCAx$ 中断要求将被产生。

如果 PPG 输出控制 $TAxCR<TAMPPG>$ 设定为 "1" (单次)， $TAxCR<TAS>$ 将自动清空为 "0"，定时器将停止动作。如果 PPG 输出控制 $TAxCR<TAMPPG>$ 设定为 "0" (连续)，计数器将清除为 "0x0000" 并继续计数与 PPG 输出的动作。在 PPG 输出期间，当 $TAxCR<TAS>$ 被设定为 "0" (包括单次 PPG 输出后的自动停止)， $PPGA0B$ 引脚将回到 $TAxCR<TATFF>$ 所设定的电平。

在工作期间仍可改变 $TAxCR<TAMPPG>$ 。工作期间将 $TAxCR<TAMPPG>$ 由 "1" 改变为 "0" 会取消单次 PPG 输出、并允许连续 PPG 输出。将 $TAxCR<TAMPPG>$ 由 "0" 改变为 "1"，则会在当脉冲输出完成后自动停止定时器。

定时器 $TCAx$ 寄存器 A 与 B 可设定为双缓存器。设定 $TAxMOD<TADBE>$ 为 "1" 允许双缓存器。若在允许双缓存器的条件下于 PPG 输出期间改变 $TAxDRA$ 与 $TAxDRB$ 的设定值，直到计数器数值达到 $TAxDRA$ 设定数值以前，写入 $TAxDRA$ 与 $TAxDRB$ 的动作不会生效。而在禁止双缓存器的条件下， $TAxDRA$ 与 $TAxDRB$ 的写入动作将立即生效。写入值若小于计数器数值，将发生计数溢位。1 个周期后，定时器比对进程将使 PPG 输出反向。

(c) 寄存器缓存架构

1. 暂时缓存器

SQ7653 产品线具 1 个 8 位暂时缓存器。在进行 $TAxDRAL$ ($TAxDRBL$) 写入时，不论允许或禁止双缓存器功能，写入数据将先储存在此暂时缓存器。而后，在进行 $TAxDRAH$ ($TAxDRBH$) 写入时，设定值将存入双缓存器或 $TAxDRAH$ ($TAxDRBH$)。同时，暂时缓存器内的设定值将存入双缓存器或 $TAxDRAL$ ($TAxDRBL$) (此设计架构是为了使低位寄存器与高位寄存器的设定值同时生效)。因此，在设定 $TAxDRA$ ($TAxDRB$) 时，确认先将数据写入 $TAxDRAL$ 、再写入 $TAxDRAH$ (或者先写入 $TAxDRBL$ 再写入 $TAxDRBH$)。

2. 双缓存器

SQ7653 产品线可透过设定 $TAxMOD<TADBE>$ 以使用双缓存器。若要允许/禁止使用双缓存器，分别设定 $TAxMOD<TADBE>$ 为 "1" 和 "0"。

- 允许双缓存器时

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

若于定时器工作时执行 TAxDRAH (TAxDRBH) 寄存器的新设定值写入，新设定值会先存储于双缓存器中，而不会立即改变 TAxDRAH/L (TAxDRBH/L) 的设定。TAxDRAH/L (TAxDRBH/L) 会比较计数器数值与原设定值。

当计数器数值达到原设定值时，INTTCAx 中断要求会被产生，双缓存器存储的新设定值会被存入 TAxDRAH/L (TAxDRBH/L)。而后的定时器比对检测工作就会依新的设定值进行。

对 TAxDRAH/L (TAxDRBH/L) 进行读取时，所读取的是存于双缓存器内的值(原设定值)，而非存于 TAxDRAH/L (TAxDRBH/L) 内的值(最新的有效数值)。

若于定时器停止时执行 TAxDRAH/L (TAxDRBH/L) 寄存器的新设定值写入，新设定值会直接存储于双缓存器与 TAxDRAH/L (TAxDRBH/L) 寄存器内。

- 禁止双缓存器时

若于定时器工作时执行 TAxDRAH (TAxDRBH) 寄存器的新设定值写入，新设定值会直接存入 TAxDRAH/L (TAxDRBH/L)。后续的定时器比对检测工作会依新的设定值进行。

若 TAxDRAH/L (TAxDRBH/L) 的新设定值小于计数器数值，新设定值的比对检测会在计数器的计数溢位后才执行。因此，中断要求间隔可能会比设定的时间要长。如果操作上有问题，建议启动双缓存器。

若于定时器停止时执行 TAxDRAH/L (TAxDRBH/L) 寄存器的新设定值写入，新设定值会直接存储于 TAxDRAH/L (TAxDRBH/L) 寄存器内。

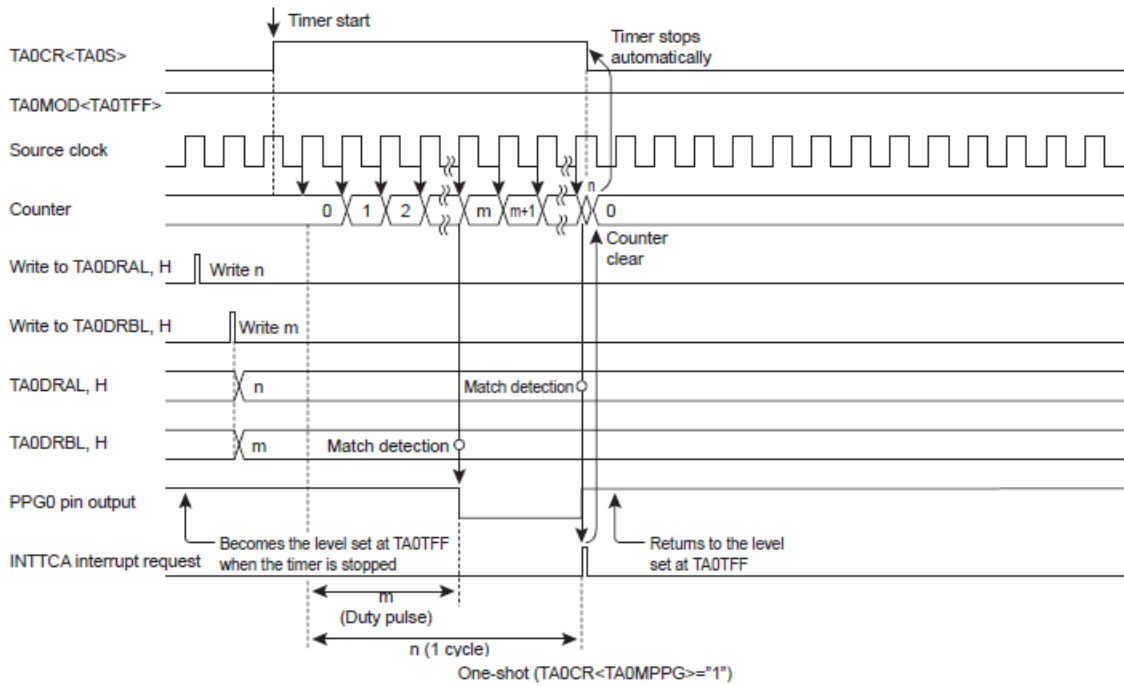


图 11- 12 PPG 模式时序图- 单次输出(TCA0 为范例)

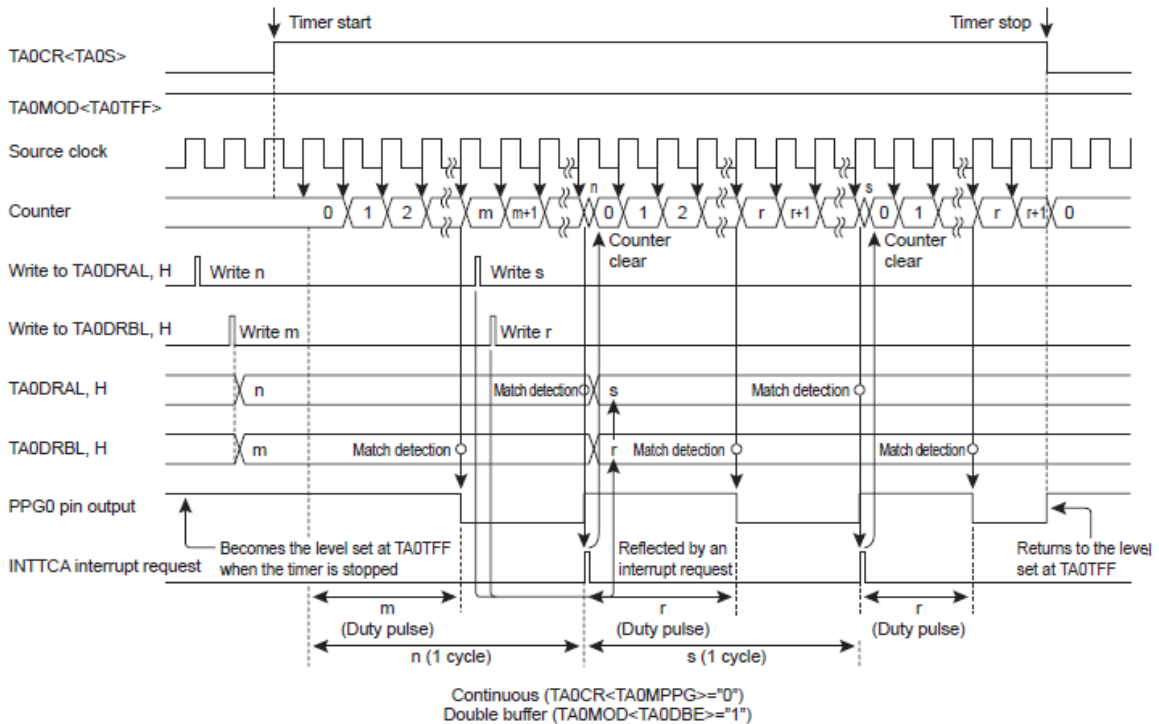


图 11- 13 PPG 模式时序图- 连续输出(TCA0 为范例)

11.5.4 噪声抑制

在使用 TCAX 引脚的工作模式中，可启动数字噪声抑制器。

使用数字噪声抑制器时，输入电平依 TAxCR<TANC>所设定的取样间隔加以取样。连续侦测到 3 次相同电平时，定时器的输入电平将会改变。

将 TAxCR<TANC>设定为"00"以外的任何值可启动噪声抑制器，不论 TAxCR<TAS>的数值为何。

使用噪声抑制器时，定时器将在 TAxCR<TANC>设定后、经过 4 次取样间隔的时间后启动。如此可稳定输入信号。在定时器停止时(TAxCR <TA0> = "0")才设定 TAxCR<TANC>。TAxCR <TAS> = "1"时，写入动作将被忽略。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

12.通用异步收发器 (UART)

本产品最高具有 3 个通用异步收发器(UART0、UART1、UART2)。相关特殊功能寄存器(SFR)地址及引脚名称的信息，请参考表 14.1 与表 14.2。

	UARTxCR1 (地址)	UARTxCR2 (地址)	UARTxDR (地址)	UARTxSR (地址)	RDxBUF (地址)	TDxBUF (地址)
UART0	UART0CR1	UART0CR2	UART0DR	UART0SR	RD0BUF	TD0BUF
UART1	UART1CR1	UART1CR2	UART1DR (0x00A8)	UART1SR	RD1BUF	TD1BUF
UART2	UART2CR1 (UART2CR2 (UART2DR (0x00AE)	UART2SR	RD2BUF	TD2BUF

表 12.1 SFR 地址

	串行数据输入引脚	串行数据输出引脚
UART0	RXD0	TXD0
UART1	RXD1	TXD1
UART2	RXD2	TXD2

表 12.2 引脚名称

12.1 UART 架构

UARTx(x=0~2)是由外围电路时钟允许寄存器 PCKEN1、UARTx(x=0~2)控制寄存器 UARTxCR1 与 UARTxCR2、及 UARTx 波特率(baud)寄存器 UARTxDR(x=0~2)所控制。而工作状态可透过 UART 状态控制寄存器 UARTxSR(x=0~2)进行监控。

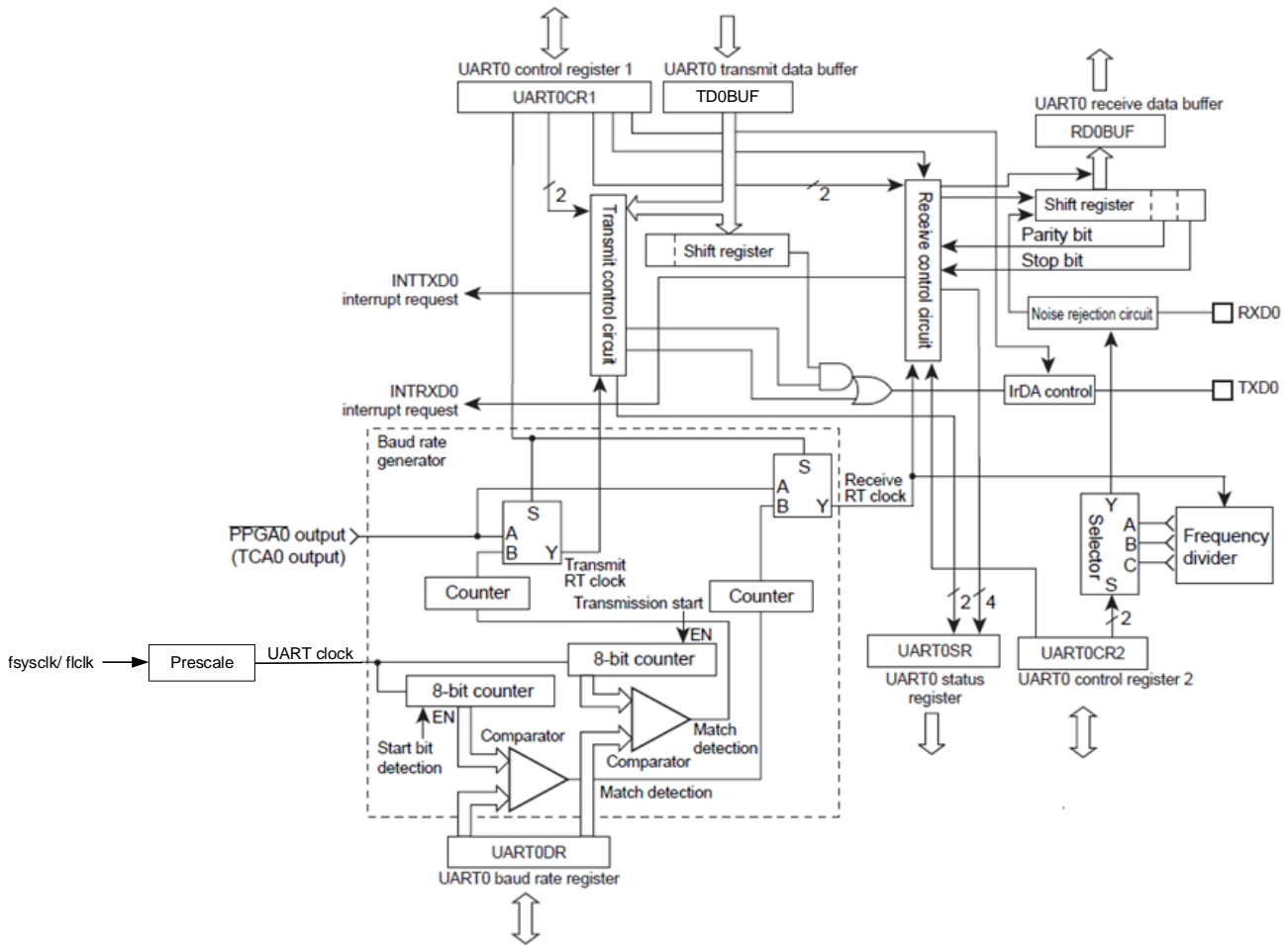


图 12.1 UART 工作模块图

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

12.2 UART 控制

UART 具有 1 个外围电路时钟控制寄存器 PCKEN1，可在不需使用 UART 功能时节省系统耗电。

设定 PCKEN1<UARTxEN>为“0”可停止 UART 的基本时钟供应，以节省系统耗电；此时 UART 无法使用。设定 PCKEN1<UARTxEN>为“1”可启动 UART 的基本时钟供应，并启动 UART 工作。

复位后，PCKEN1<UARTxEN>会被回复至初始设定“0”，UART 的工作停止。第一次使用 UART 前，必须在程序初始设定中，设定 PCKEN1<UARTxEN>为“1” (在 UART 控制寄存器工作前)。

不要在 UART 工作时改变 PCKEN1<UARTxEN>的设定为“0”，否则 UART 可能发生无法预期的工作状态。

12.3 防止 UARTxCR1 与 UARTxCR2 寄存器改变的保护机制

本产品具有可以保护寄存器不被改变的功能，以确保 UART 的通信设置(比方结束位与同位)在 UART 工作期间不会发生改变。

UARTxCR1 与 UARTxCR2 寄存器的特定定位只有在表 14.3 所显示的条件下可被改变。若在保护状态下对寄存器进行写入动作，这些特定定位将维持原来数值不变。

Bit to be changed	Function	Conditions that allow the bit ti be changed			
		UARTxCR1 <TXE>	UARTxSR <TBSY>	UARTxCR1 <RXE>	UARTxSR <TXE>
UARTxCR1<STOPBT>	Transmit stop bit length	Both of these bits are “0”		-	-
UARTxCR1<EVEN>	Parity selection	All of these bits are “0”			
UARTxCR1<PE>	Parity addition				
UARTxCR1<IRDASEL>	TXD pin output selection	Both of these bits are “0”		-	-
UARTxCR1<BRG>	Transfer base clock selection	All of these bits are “0”			
UARTxCR2<RTSEL>	Selection of number of RT clocks				
UARTxCR2<RXDNC>	Selection of RXD pin input noise rejection time	-	-	Both of these bits are “0”	
UARTxCR2<STOPBR>	Receive stop bit length				

表 12- 1 UARTxCR1 与 UARTxCR2 的防止改变保护机制

12.4 收发数据格式

UART 收发数据由以下四种要素组成。由起始位至结束位的数据定义为“收发框”。起始位为 1 位(低电平)，数据共有 8 位。奇偶校验位是透过选择是否进行同位的 UARTxCR1<PE>、与选择奇数同位或偶数同位的 UARTxCR1<EVEN>两者进行设定。结束位的位长度则由 UARTxCR1<STOPBT>设定。

图 14.2 显示收发数据格式，包括：

- 起始位 (1 位)
- 数据 (8 位)
- 奇偶校验位 (可选择偶数校验、奇数校验、或不校验)
- 结束位 (可设定 1 位或 2 位)

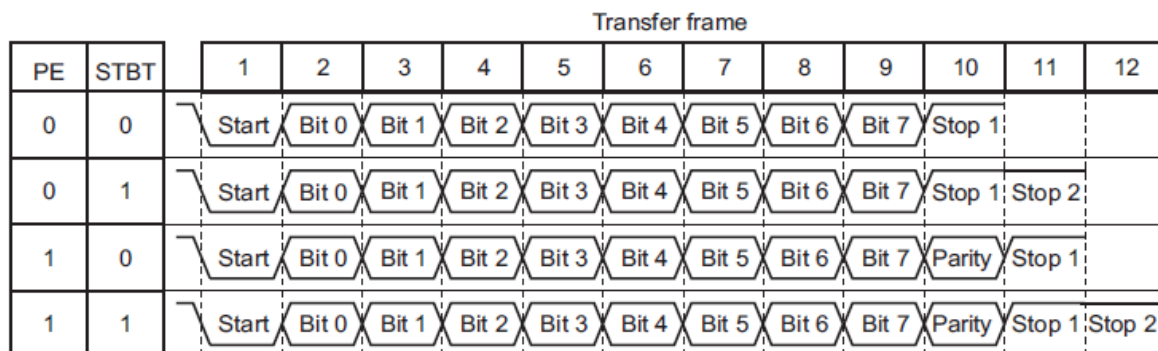


图 12-1 收发数据格式

12.5 红外线数据收发模式

TXD 引脚可由 IrDA 输出控制寄存器设定输出具红外线数据格式(IrDA)的数据。将 UARTxCR1<IRDASEL>设定为 "1"可启动 TXD 引脚的红外线数据输出功能。

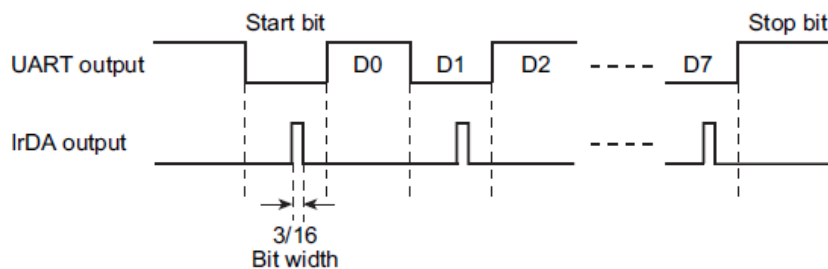


图 12-2 红外线数据格式范例 (一般输出与 IrDA 输出的比较)

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

12.6 收发波特率 (Baud Rate)

UART 的收发波特率由 UARTxCR1<BRG>、UARTxDR 与 UARTxCR2<RTSEL>设定。UART0xDR 与 UARTxCR2 <RTSEL>之一般波特率与工作频率的设定方法如下。有关收发波特率的计算，参考“14.6.1 收发波特率计算方法”。

Basic baud rate[baud]	Register	Operating frequency					
		24MHz	16MHz	8MHz	4MHz	2MHz	1MHz
128000	UARTxDR[7:0]	TBD	0x07	0x03	0x01	0x00	-
	RTSEL[2:0]	TBD	0y011	0y011	0y011	0y011	-
	Error	TBD	(+0.81%)	(+0.81%)	(+0.81%)	(+0.81%)	-
115200	UARTxDR[7:0]	TBD	0x08	0x03	0x01	0x00	-
	RTSEL[2:0]	TBD	0y011	0y100	0y100	0y100	-
	Error	TBD	(-0.44%)	(+2.12%)	(+2.12%)	(+2.12%)	-
76800	UARTxDR[7:0]	TBD	0x0C	0x06	0x02	-	-
	RTSEL[2:0]	TBD	0y000	0y010	0y100	-	-
	Error	TBD	(+0.16%)	(-0.79%)	(+2.12%)	-	-
62500	UARTxDR[7:0]	TBD	0x0F	0x07	0x03	0x01	0x00
	RTSEL[2:0]	TBD	0y000	0y000	0y000	0y000	0y000
	Error	TBD	0%	0%	0%	0%	0%
57600	UARTxDR[7:0]	TBD	0x11	0x08	0x03	0x01	0x00
	RTSEL[2:0]	TBD	0y011	0y011	0y100	0y100	0y100
	Error	TBD	(-0.44%)	(-0.44%)	(+2.12%)	(+2.12%)	(+2.12%)
38400	UARTxDR[7:0]	TBD	0x19	0x0C	0x06	0x02	-
	RTSEL[2:0]	TBD	0y000	0y000	0y010	0y100	-
	Error	TBD	(+0.16%)	(+0.16%)	(-0.79%)	(+2.12%)	-
19200	UARTxDR[7:0]	TBD	0x30	0x19	0x0C	0x06	0x02
	RTSEL[2:0]	TBD	0y100	0y000	0y000	0y010	0y100
	Error	TBD	(+0.04%)	(+0.16%)	(+0.16%)	(-0.79%)	(+2.12%)
9600	UARTxDR[7:0]	TBD	0x64	0x33	0x19	0x0C	0x06
	RTSEL[2:0]	TBD	0y001	0y000	0y000	0y000	0y010
	Error	TBD	(+0.01%)	(+0.16%)	(+0.16%)	(+0.16%)	(-0.79%)
4800	UARTxDR[7:0]		0xC9	0x67	0x33	0x19	0x0C
	RTSEL[2:0]		0y001	0y000	0y000	0y000	0y000
	Error		(+0.01%)	(+0.16%)	(+0.16%)	(+0.16%)	(+0.16%)

Basic baud rate[baud]	Register	Operating frequency					
		24MHz	16MHz	8MHz	4MHz	2MHz	1MHz
2400	UARTxDR[7:0]		-	0xCF	0x67	0x33	0x19
	RTSEL[2:0]		-	0y000	0y000	0y000	0y000
	Error		-	(+0.16%)	(+0.16%)	(+0.16%)	(+0.16%)
1200	UARTxDR[7:0]		-	-	0xCF	0x67	0x33
	RTSEL[2:0]		-	-	0y000	0y000	0y000
	Error		-	-	(+0.16%)	(+0.16%)	(+0.16%)

12.6.1 收发波特率计算方法

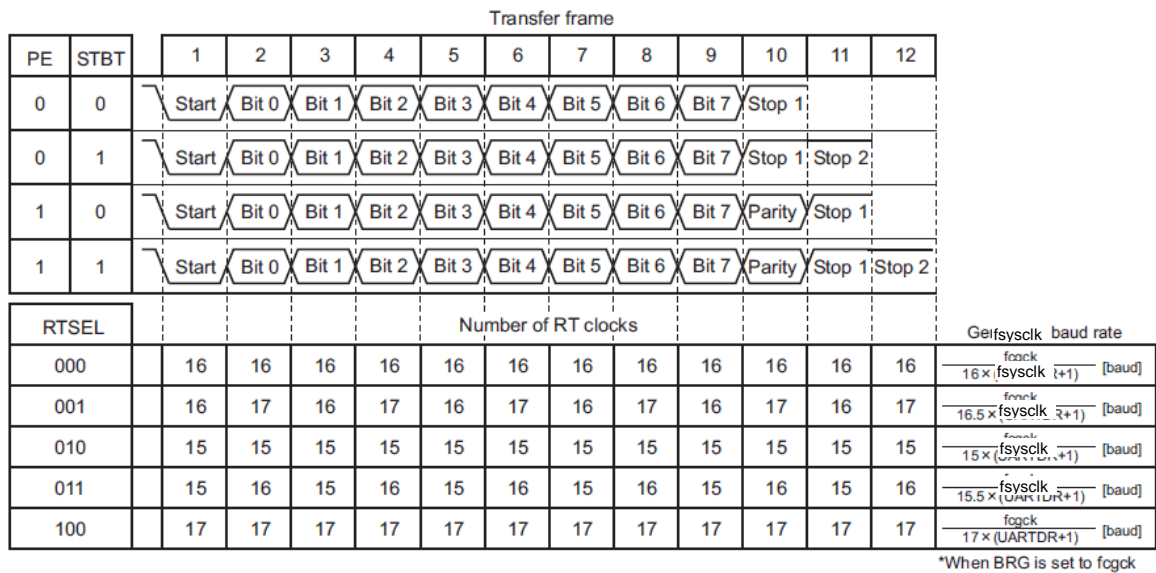


图 12-3 以 UARTxCR2<RTSEL>微调波特率

发送/接收数据之位宽度可透过 UARTxCR2<RTSEL>的设定进行微调。每位的 RT 时钟数可由 UARTxCR2<RTSEL> 设定在 15 至 17 个时钟数的范围内。RT 时钟为收发基本时钟，来自计数 UARTxCR1 <BRG>所设定之时钟数总共 (UARTxDR 设定值)+1 次所得之脉冲。特别当 UARTxCR2<RTSEL>设定为“001”或“011”时，两种 RT 时钟将在每个位之间轮流，以生 RTx15.5 时钟数与 RTx16.5 时钟数的伪波特率(pseudo baud rate)。收发框中每位的 RT 时钟数如图 14.4 所示。

例如，当 f_{sysclk} 为 16MHz、UART0CR2<RTSEL>设定为“000”且 UART0DR 设定为“0x0C”，则波特率可以图 14.4 的公式计算而得为 f_{sysclk} / (16 x (UART0DR + 1)) = 76923 (baud)。

这些设定将产生接近 76800(baud)之波特率(+0.16%)。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

UARTxCR2<RTSEL>与 UARTxDR 设定值之计算

UARTxDR 的工作频率与波特率设定值可由图 14.5 之计算公式加以计算。例如，欲以 fsysclk=16MHz 产生基本波特率 38400 (baud)，计算每个 UARTxCR2<RTSEL>设定下的 UARTxDR 设定值，并向上补偿至产生图 14.6 所示之波特率。基本上，透过选择 UARTxCR2<RTSEL>中有最小波特率误差的设定值来产生波特率。在图 14.5 中，UARTxCR2<RTSEL> = “000”的设定在所有计算出的波特率中有最小的误差，因此所产生的波特率为 38462 (baud) (+0.16%)、可对应至基本波特率 38400 (baud)。

RTSEL	UARTxDR 设定值
000	$UARTxDR = \frac{fsysclk (Hz)}{16 \times A (baud)} - 1$
001	$UARTxDR = \frac{fsysclk (Hz)}{16.5 \times A (baud)} - 1$
010	$UARTxDR = \frac{fsysclk (Hz)}{15 \times A (baud)} - 1$
011	$UARTxDR = \frac{fsysclk (Hz)}{15.5 \times A (baud)} - 1$
100	$UARTxDR = \frac{fsysclk (Hz)}{17 \times A (baud)} - 1$

表 12-2 UART0DR 计算方式 (当 BRG 设为 FSYSCLK)

RTSEL	UARTxDR 计算	Baud 率产生
000	$UARTxDR = \frac{16000000 (Hz)}{16 \times 38400(baud)} - 1 \approx 25$	$\frac{16000000 (Hz)}{16 \times (25+1)} = 38462 \text{ baud } (+0.16\%)$
001	$UARTxDR = \frac{16000000 (Hz)}{16.5 \times 38400(baud)} - 1 \approx 24$	$\frac{16000000 (Hz)}{16.5 \times (24+1)} = 38788 \text{ baud } (+1.01\%)$
010	$UARTxDR = \frac{16000000 (Hz)}{15 \times 38400(baud)} - 1 \approx 26$	$\frac{16000000 (Hz)}{15 \times (26+1)} = 39506 \text{ baud } (+2.88\%)$
011	$UARTxDR = \frac{16000000 (Hz)}{15.5 \times 38400(baud)} - 1 \approx 25$	$\frac{16000000 (Hz)}{15.5 \times (25+1)} = 39702 \text{ baud } (+3.39\%)$
100	$UARTxDR = \frac{16000000 (Hz)}{17 \times 38400(baud)} - 1 \approx 24$	$\frac{16000000 (Hz)}{17 \times (24+1)} = 37647 \text{ baud } (-1.96\%)$

表 12-3 UART0DR 计算范例

注：与基本波特率的误差精准度应在时钟源的频率差异范围内，各时钟源的频率差异规格请见“3.2.2 时钟源”。即使误差在时钟源的频率差异范围内，UART 通讯仍可能因外部控制装置(比方：个人计算机)与通讯引脚之振荡晶体和负载电容的频率误差而失败。

12.7 数据取样方法

基本上各 UART 通道的取样方法皆相同，以下以 UART0 作为范例展开说明。

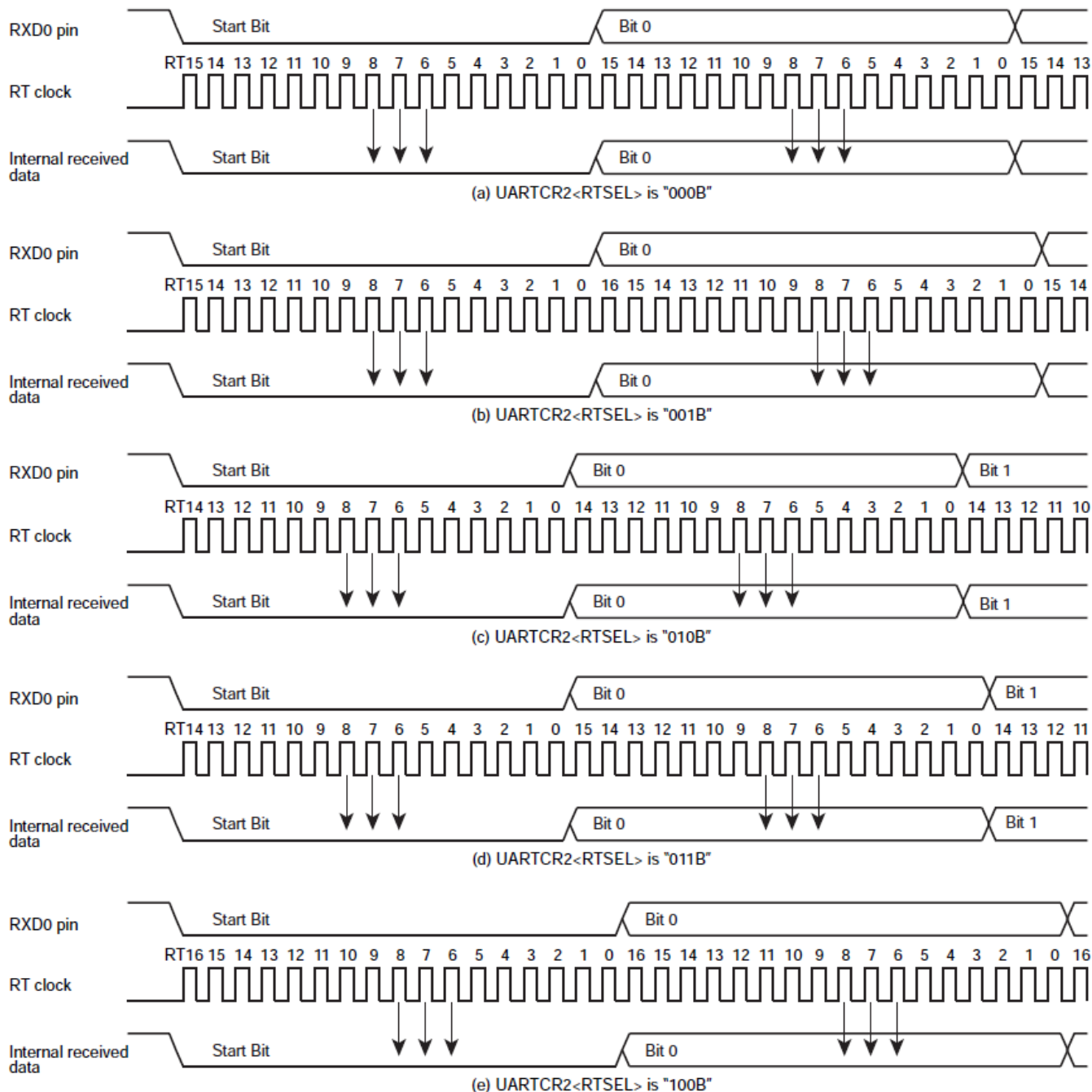


图 12-4 各种 UART0CR2<RTSEL>设定下的数据取样

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

当 RXD0 侦测到输入脉冲的下降沿时，UART 接收控制线路便开始 RT 时钟计数。每位计数 15 到 17 个 RT 时钟，每个时钟可表示为 RT_n ($n = 16$ 到 0)。有 17 个 RT 时钟的位会计数 RT16 到 RT0。有 16 个时钟的位会计数 RT15 到 RT0。有 15 个时钟的位会计数 RT14 到 RT0 (以上均为向下计数)。在计数 RT8 到 RT6 期间，UART 接收控制线路会对 RXD1 引脚的输入脉冲以多数决定的方式进行取样。在 3 次取样中侦测到 2 次以上相同电平将被作为该位的数据。

RT 时钟数可由 $UART0CR2<RTSEL>$ 设定为 15 到 17 的范围内。然而即使 RT 时钟数有所改变，取样工作一律在 RT8 到 RT6 之间进行。(图 12-4)

若由于噪声影响等因素，在启始位的取样中侦测到“1”，RT 时钟的计数将会停止，并终止数据接收工作。而后，当 RXD0 再次侦测到输入脉冲的下降沿时，RT 时钟的计数会重新开始，数据接收工作也会由启始位重新开始。

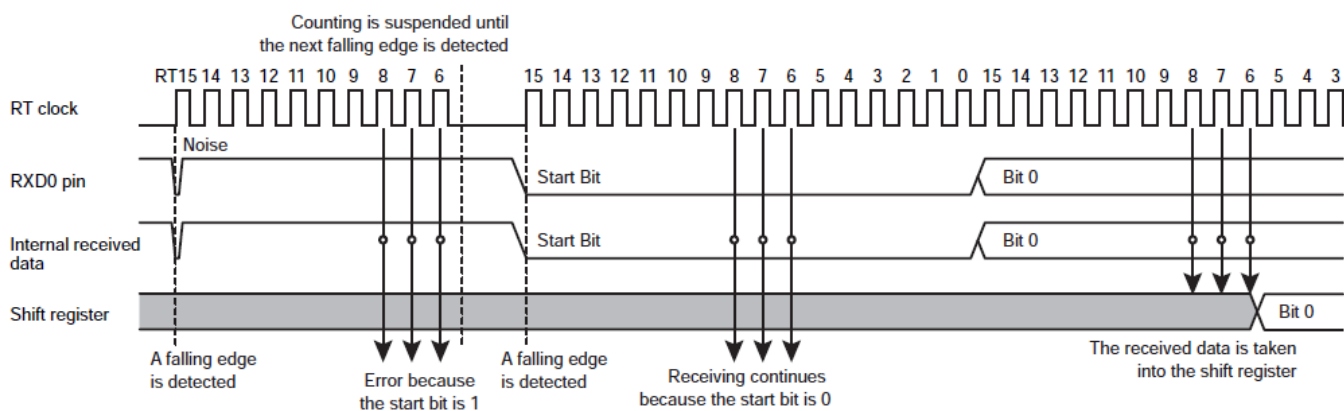


图 12-5 启始位的取样

12.8 接收数据的噪声抑止

基本上各 UART 信道的噪声抑止原理皆相同，以下以 UART0 作为范例展开说明。

当 UART0CR2<RXDNC>设定允许噪声抑止时，会被视为正常信号的脉冲时间如表 12-4 所示。

RXDNC	Noise rejection time [s]	Time of pulses to be regarded as signals
00	No noise rejection	-
01	$(UART0DR+1)/(Transfer\ base\ clock\ frequency)$	$2 \times (UART0DR+1)/(Transfer\ base\ clock\ frequency)$
10	$2 \times (UART0DR+1)/(Transfer\ base\ clock\ frequency)$	$4 \times (UART0DR+1)/(Transfer\ base\ clock\ frequency)$
11	$4 \times (UART0DR+1)/(Transfer\ base\ clock\ frequency)$	$8 \times (UART0DR+1)/(Transfer\ base\ clock\ frequency)$

表 12-4 接收数据的噪声抑止时间

注：收发基本时钟频率为 $UARTxCRI<BRG>$ 设定之时钟频率。

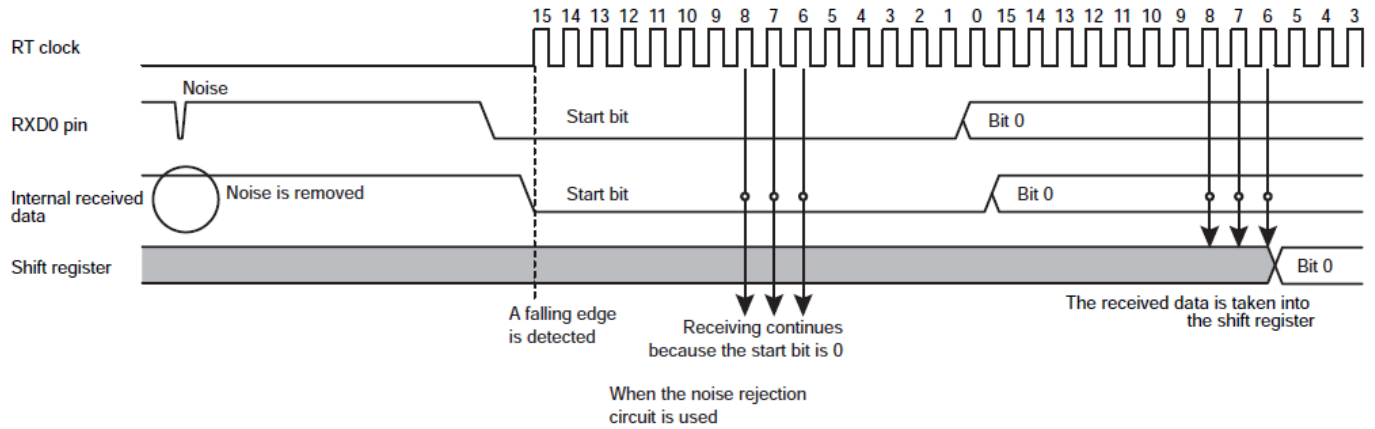


图 12-6 接收数据的噪声抑止

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

12.9 发送/接收工作

基本上各 UART 通道的发送/接收工作方式皆相同，以下以 UART0 作为范例展开说明。

14.9.1 资料发送工作

设定 UART0CR1<TXE>为"1"。检查 UART0SR<TBFL>是否为"0"，再将数据写入发送数据缓存器 TD0BUF。对 TD0BUF 写入数据的动作会将 UART0SR<TBFL>设定为"1"，并将数据传送到发送移位寄存器，将数据依序由 TXD0 引脚输出。输出数据报含启始位、结束位(由 UART0CR1<STBT>设定为 1 位或 2 位)与奇偶校验位(若指定加入同位)。以 UART0CR1<BRG>、UART0CR2<RTSEL>与 UART0DR 选择数据收发波特率。开始数据发送时，发送缓存器已满标帜 UART0SR<TBFL>将清除为"0"，并产生 INTTXD0 中断要求。

注 1：数据写入 TD0BUF 后，如在前一笔数据传送到移位寄存器以前发生新一笔数据的写入，新写入的数据将覆盖前一笔数据，并传送至移位寄存器。

注 2：在表 14.5 的条件下，TXD0 引脚输出将依 UART0CR1<IRDASEL>的设定固定于低电平或高电平。

条件	TDX	
	IRDASEL = "0"	IRDASEL = "1"
当 UART0CR1<TXE> = "0"	高电平	低电平
从 UART0CR1<TXE> 写入"1" 至 传输的数据写入 TD0BUF		

表 12-5 TXD0 引脚输出

12.9.2 数据接收工作

设定 UART0CR1<RXE>为"1"。当透过 RXD0 引脚接收数据时，所接收的数据将传送到接收数据缓存器 RD0BUF。此时，所接收的数据报含启始位、结束位(1 位或 2 位)与奇偶校验位(若指定加入同位)。接收到结束位(1 位或 2 位)时，数据本身(8 位)将被传送至接收数据缓存器 RD0BUF。之后接收缓存器已满标帜 UART0SR<RBFL>会被设定为"1"，并产生 INTRXD1 中断要求。以 UART0CR1<BRG>、UART0CR2<RTSEL>与 UART0DR 选择数据收发波特率。

如果接收数据时发生溢出错误，该数据将被舍弃而不会传送到接收数据缓存器 RD0BUF。原本存放在 RD0BUF 的数据将不受影响。

12.10 状态标识

基本上各 UART 信道的状态标识显示/操作皆相同，以下以 UART0 作为范例展开说明。

12.10.1 同位错误标识

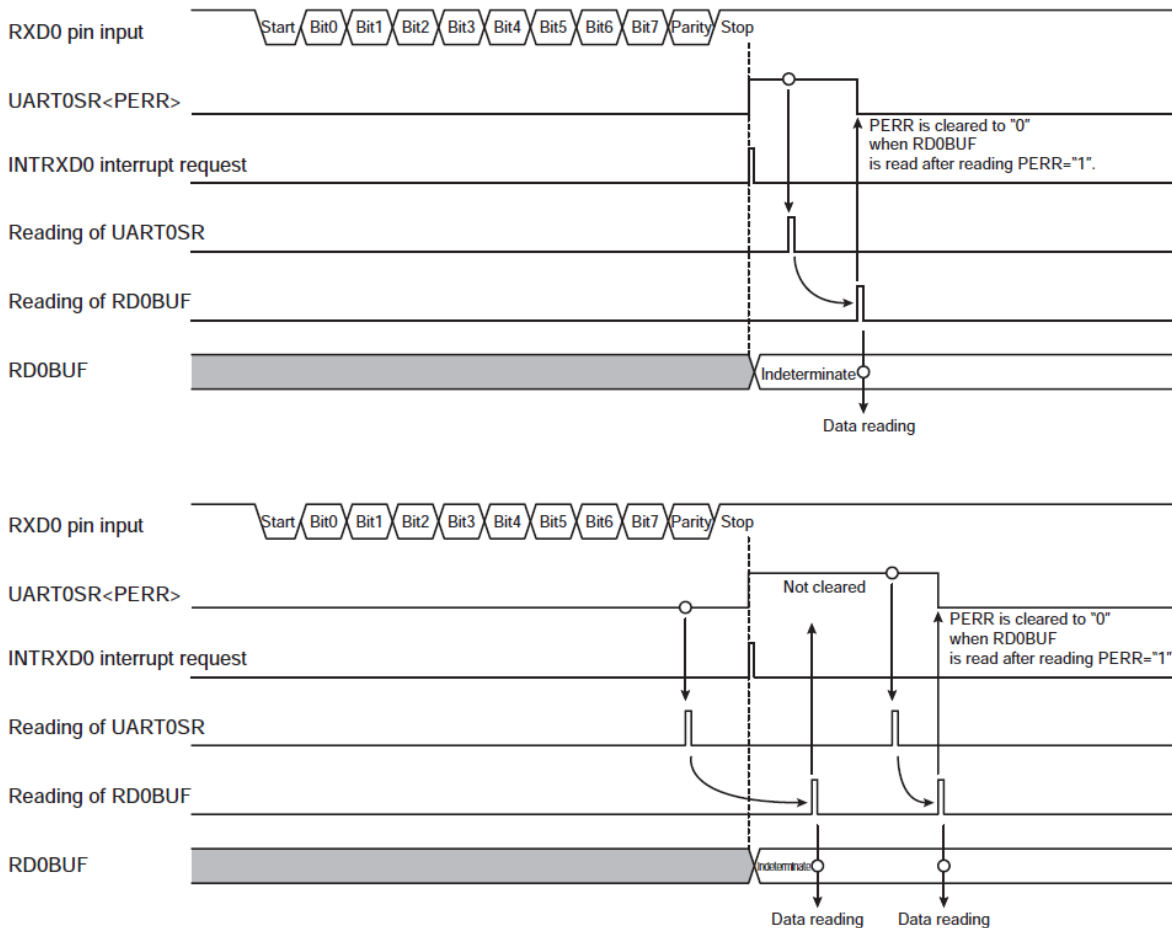


图 12-7 同位错误的发生

当收数据位的奇偶性与接收数据奇偶校验位不同时，同位错误标识 UART0SR<PERR>将被设定为“1”。此时将发出 INTRXD0 中断要求。

如果 UART0SR<PERR>为“1”，在 UART0SR 被读取后，UART0SR<PERR>将在后续 RD0BUF 被读取后清空为“0”。(此时 RD0BUF 数值将处于未定义状态)

如果在 UART0SR 被读取后将 UART0SR<PERR>设定为“1”，则在后续 RD1BUF 被读取后，UART0SR <PERR>将不会清空为“0”。这种状况下，UART0SR<PERR>将于 UART0SR 再次被读取、且后续 RD0BUF 也被读取后被清空为“0”。

12.10.2 数据框错误标识

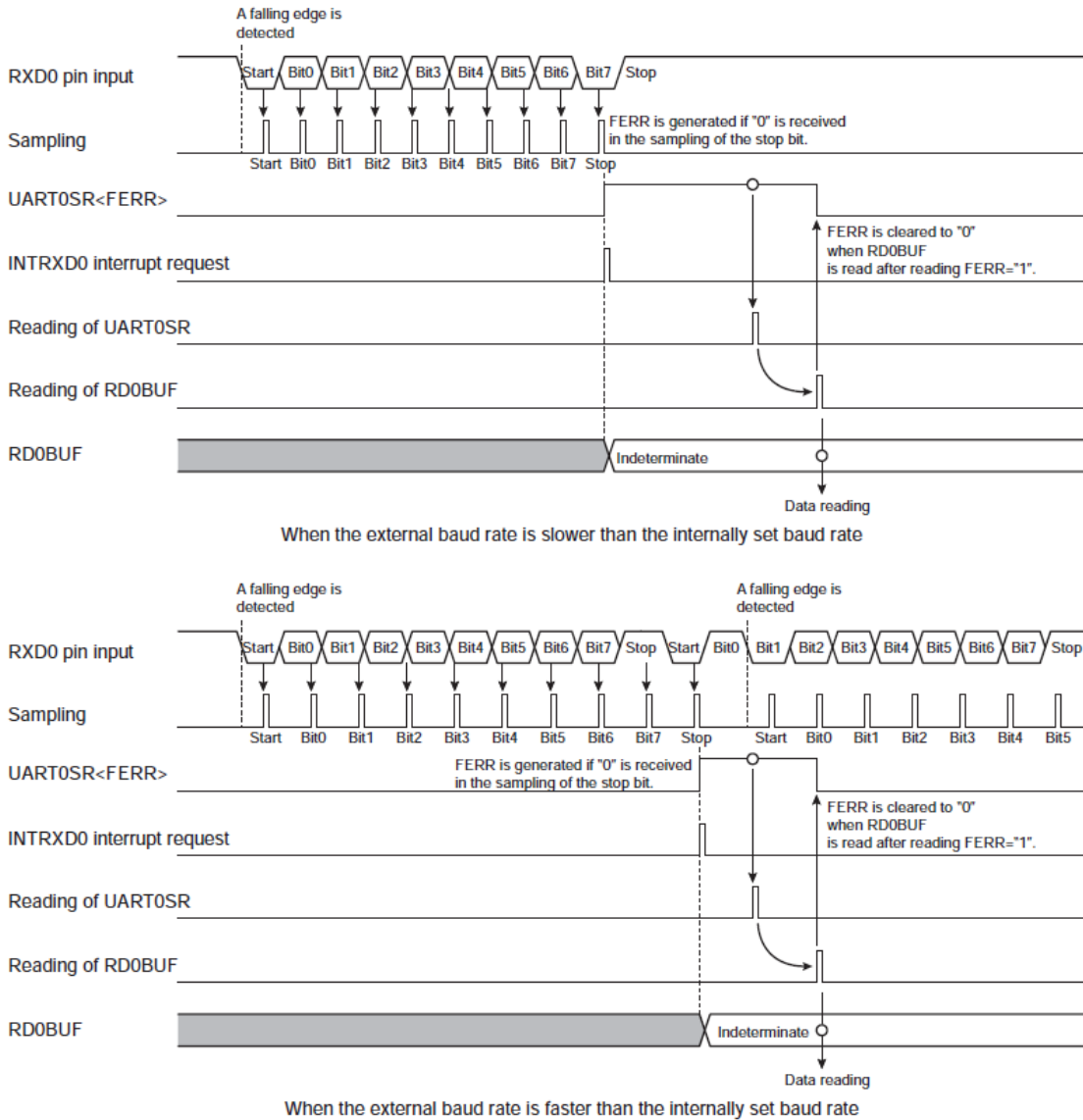


图 12- 8 数据框错误的发生

若内部与外部的波特率不同、或由于 RXD0 引脚受噪声影响等因素使接收数据之结束位取样为“0”，数据框错误标识 UART0SR<FERR>将被设定为“1”。此时将发出 INTRXD0 中断要求。

如果 UART0SR<FERR>为“1”，在 UART0SR 被读取后，UART0SR<FERR>将在后续 RD0BUF 被读取后清空为“0”。

如果在 UART0SR 被读取后将 UART0SR<FERR>设定为“1”，则在后续 RD0BUF 被读取后，UART0SR <FERR>将不会清空为“0”。这种状况下，UART0SR<FERR>将于 UART0SR 再次被读取、且后续 RD0BUF 也被读取后被清空为“0”。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

12.10.3 溢出错误标帜

若在上一笔接收数据由 RD0BUF 读出之前完成所有数据的接收工作，溢出错误标帜 UART0SR <OERR> 将被设定为“1”，并产生 INTRXD0 中断要求。发生溢出错误时所接收的数据将被舍弃，并保存上一笔接收数据。而后，如果在 UART0SR <OERR> 仍为“1”时接收到数据，将不在产生 INTRXD0 中断要求。所接收的数据仍将被舍弃。(图 12- 9)

被舍弃的接收数据将无法侦测到同位错误或数据框错误(因为并未设定错误标帜)。也就是说，在读取 UART0SR 期间如果这两种错误和溢出错误一起被侦测到，则这两种错误是上一笔接收数据(存放于 RD0BUF 的数据)所发生。(图 12- 10)

如果 UART0SR<OERR>为“1”，在 UART0SR 被读取后，UART0SR<OERR>将在后续 RD0BUF 被读取后清空为“0”。(图 12- 11)

如果在 UART0SR 被读取后将 UART0SR<OERR>设定为“1”，则在后续 RD0BUF 被读取后，UART0SR <OERR>将不会清空为“0”。这种状况下，UART0SR<OERR>将于 UART0SR 再次被读取、且后续 RD0BUF 也被读取后被清空为“0”。图 12- 11)

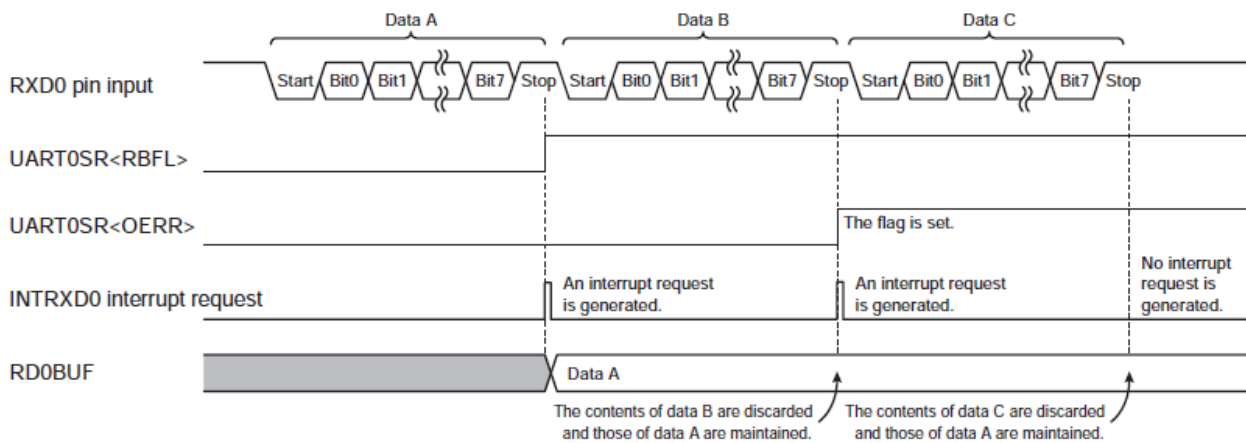
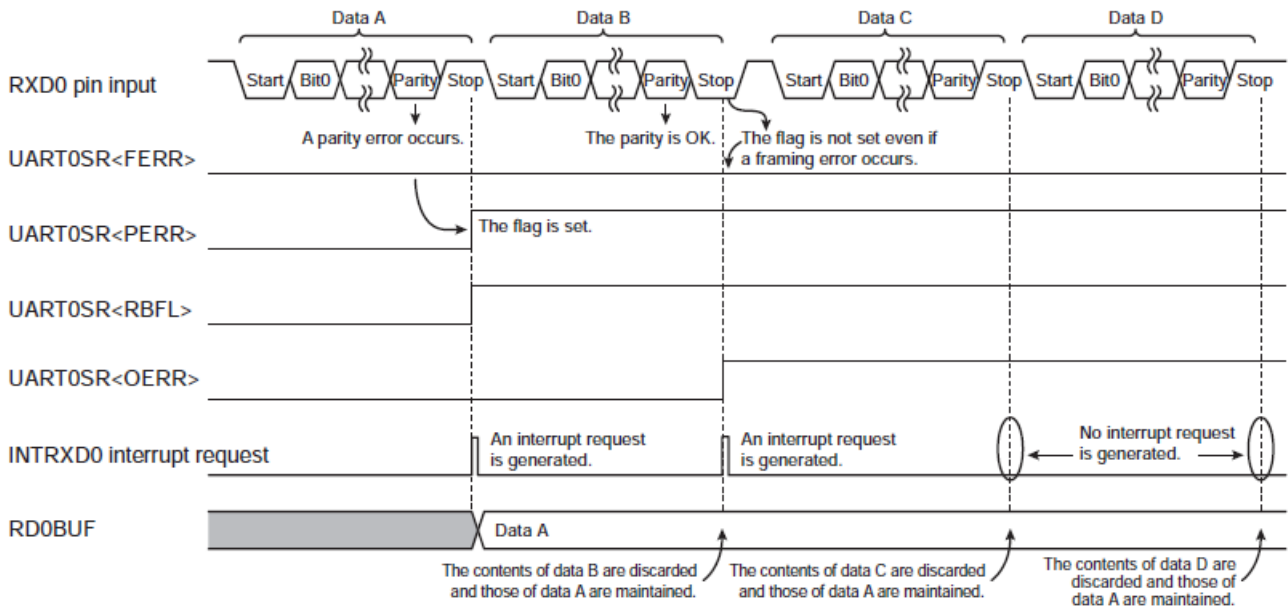
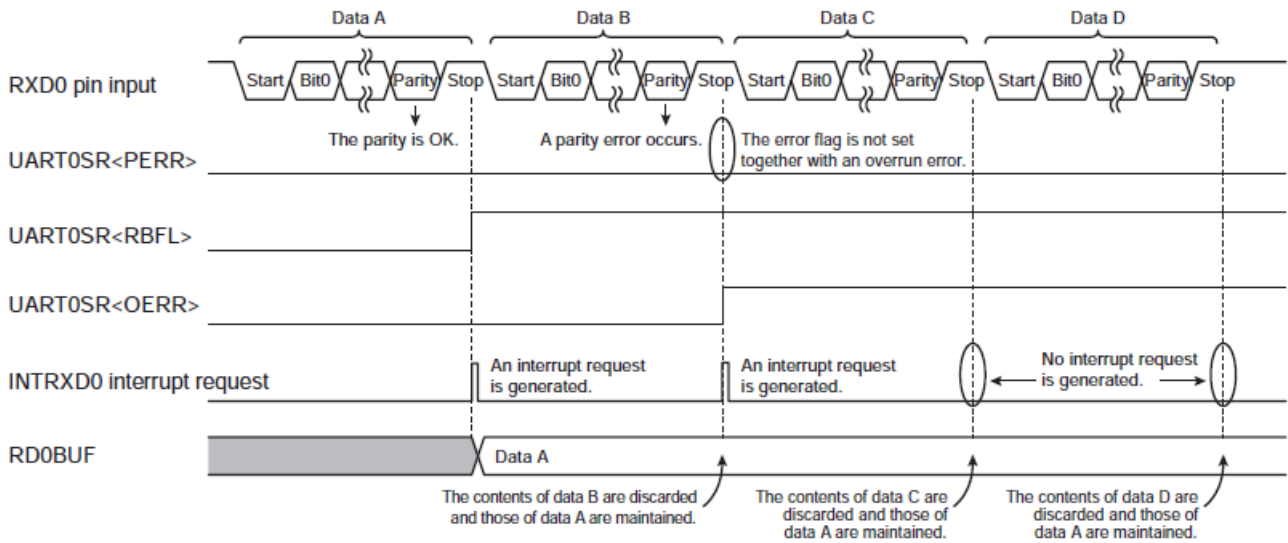


图 12- 9 INTRXD0 中断要求的产生



When a parity error occurs in the first received data and a framing error occurs in the second data



When a parity error occurs in the second received data

图 12- 10 发生溢出错误时的数据框/同位错误标识

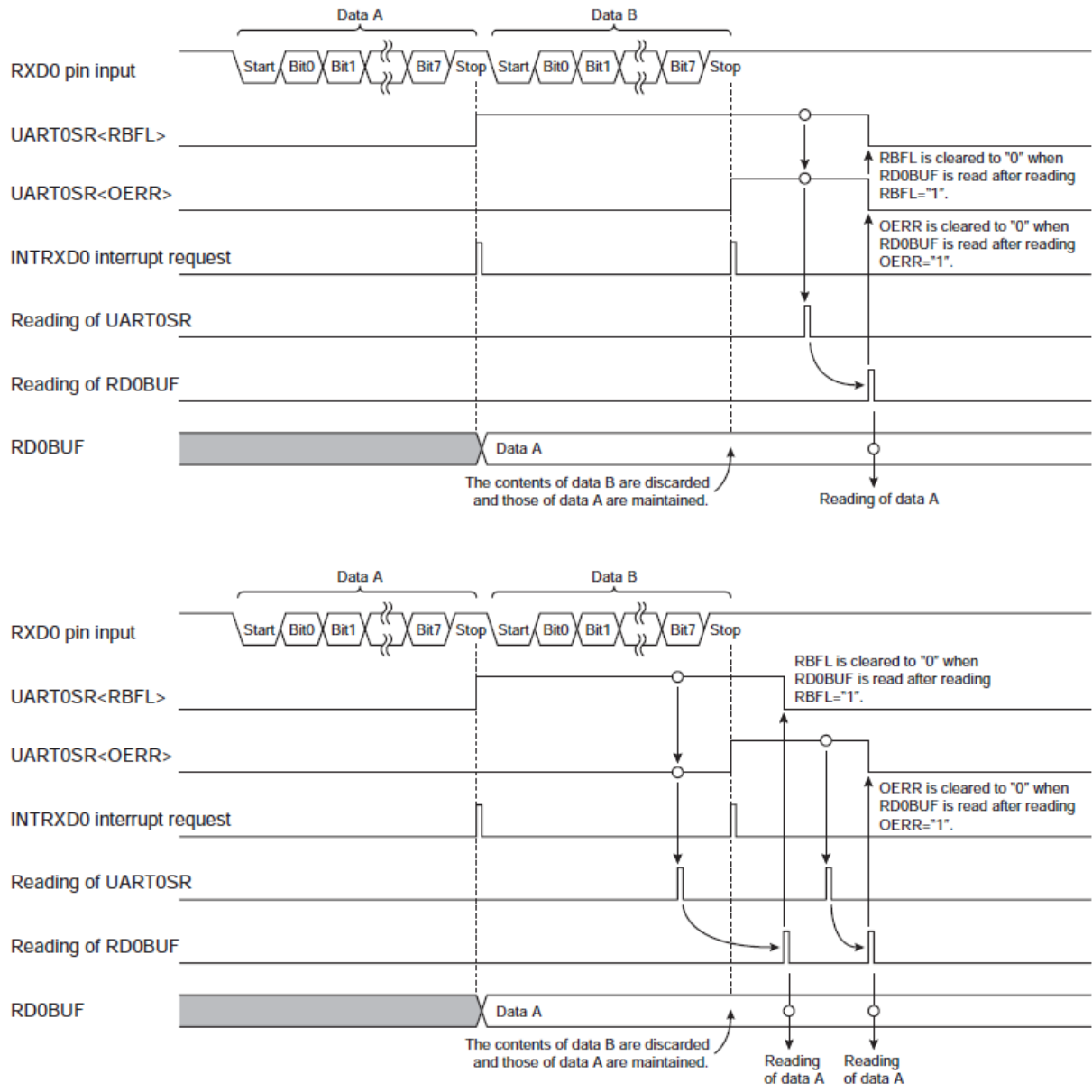


图 12-11 溢出错误标识的清除

14.10.4 接收缓存器已满标帜

将接收数据存入 RDOBUF 将使 UART0SR<RBFL>被设定为“1”。

如果 UART0SR<RBFL>为“1”，在 UART0SR 被读取后，UART0SR<RBFL>将在后续 RDOBUF 被读取后清空为“0”。

如果在 UART0SR 被读取后将 UART0SR<RBFL>设定为“1”，则在后续 RDOBUF 被读取后，UART0SR <RBFL>将不会清空为“0”。这种状况下，UART0SR<OERR>将于 UART0SR 再次被读取、且后续 RDOBUF 也被读取后被清空为“0”。

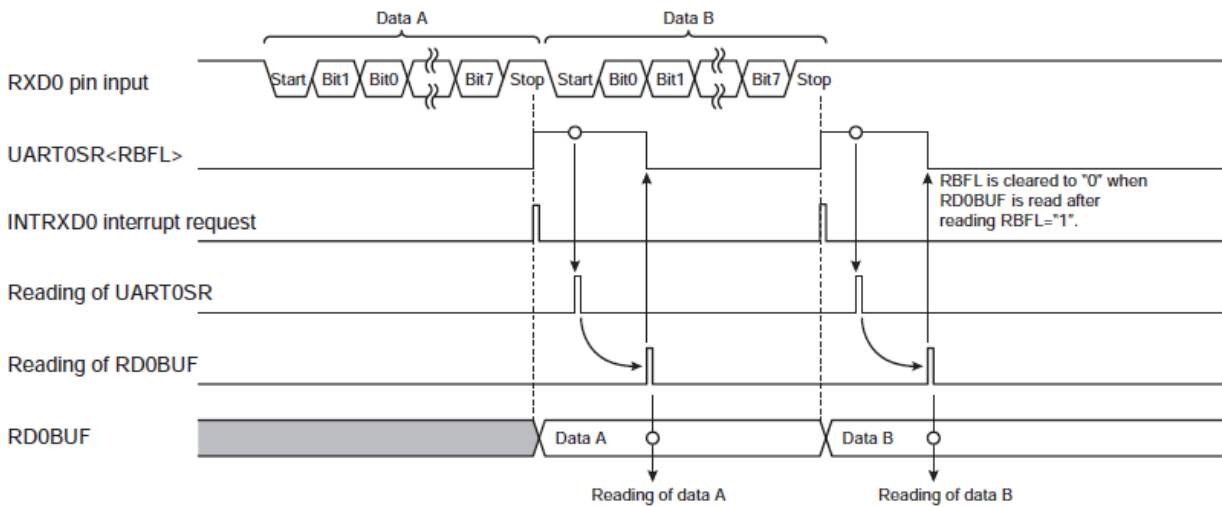


图 12- 12 接收缓存器已满的发生

12.10.5 发送忙碌标帜

若发送工作完成且 TD0BUF 无等候中的数据(当 UART0SR <TBFL>为“0”)，UART0SR <TBSY>将被清空为“0”。当发送工作于数据写入 TD0BUF 之后重新开始时，UART0SR <TBSY>将被设定为“1”。此时将产生 INTTXD0 中断要求。

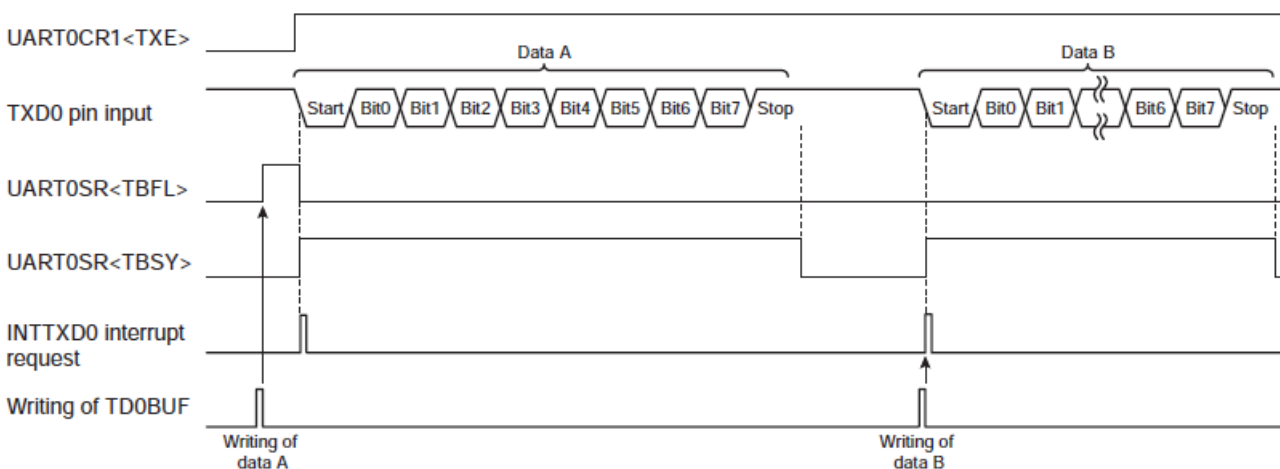


图 12- 13 发送数据缓存器已满的发生与发送忙碌标帜

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

14.10.6 发送缓存器已满标帜

当 TD0BUF 中没有数据、或当 TD0BUF 中的数据已传送到发送移位寄存器且开始发送工作时，UART0SR <TBFL> 将被清空为“0”。时将产生 INTTXD0 中断要求。

将数据写入 TD0BUF 将使 UART0SR <TBFL> 被设定为“1”。

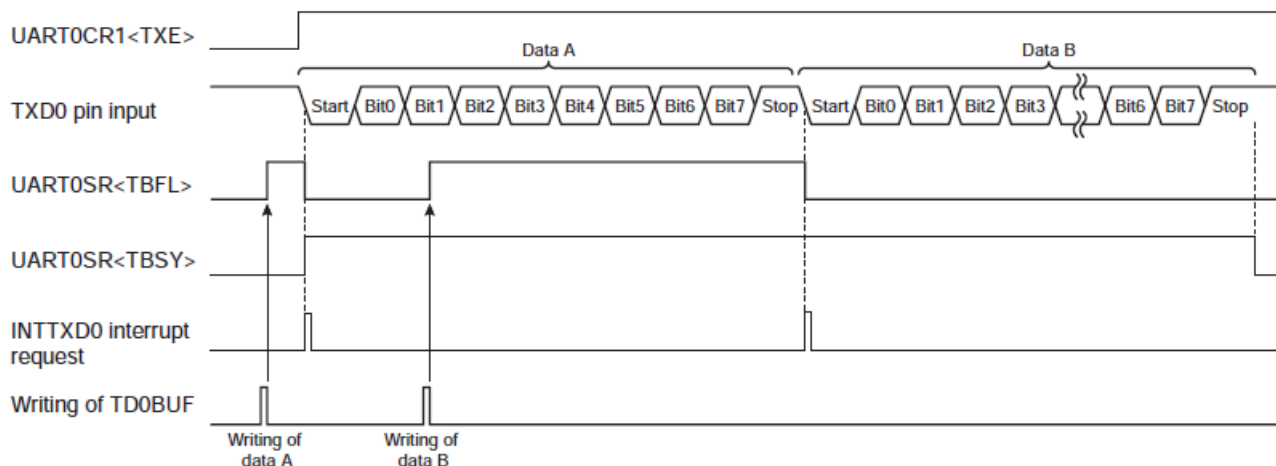


图 12-14 发送缓存器已满的发生

12.11 接收流程

图 12- 15 显示 UART0 接收流程的范例。流程中的标帜判断细节如表 12- 6 与表 12- 7 所示。

侦测到数据框错误或同位错误时，表示接收资料数值有错，应进行错误处理工作，比方将 RD0BUF 所读取的接收数据舍弃、并再一次接收数据。

侦测到溢出错误时，表示有 1 笔或多笔数据的接收工作尚未完成。由于未能被接收的资料笔数无法判定，应进行错误处理工作，比方从头开始再次接收数据。基本上，溢出错误通常发生在内部软件处理无法跟上数据收发速度的情况下。建议降低收发波特率、或修改软件以进行数据流量控制。

注：若 INTRXD0 中断要求 使用了数个中断，这些中断应在 UARTISR 与 RD1BUF 完成读取后才被允许。

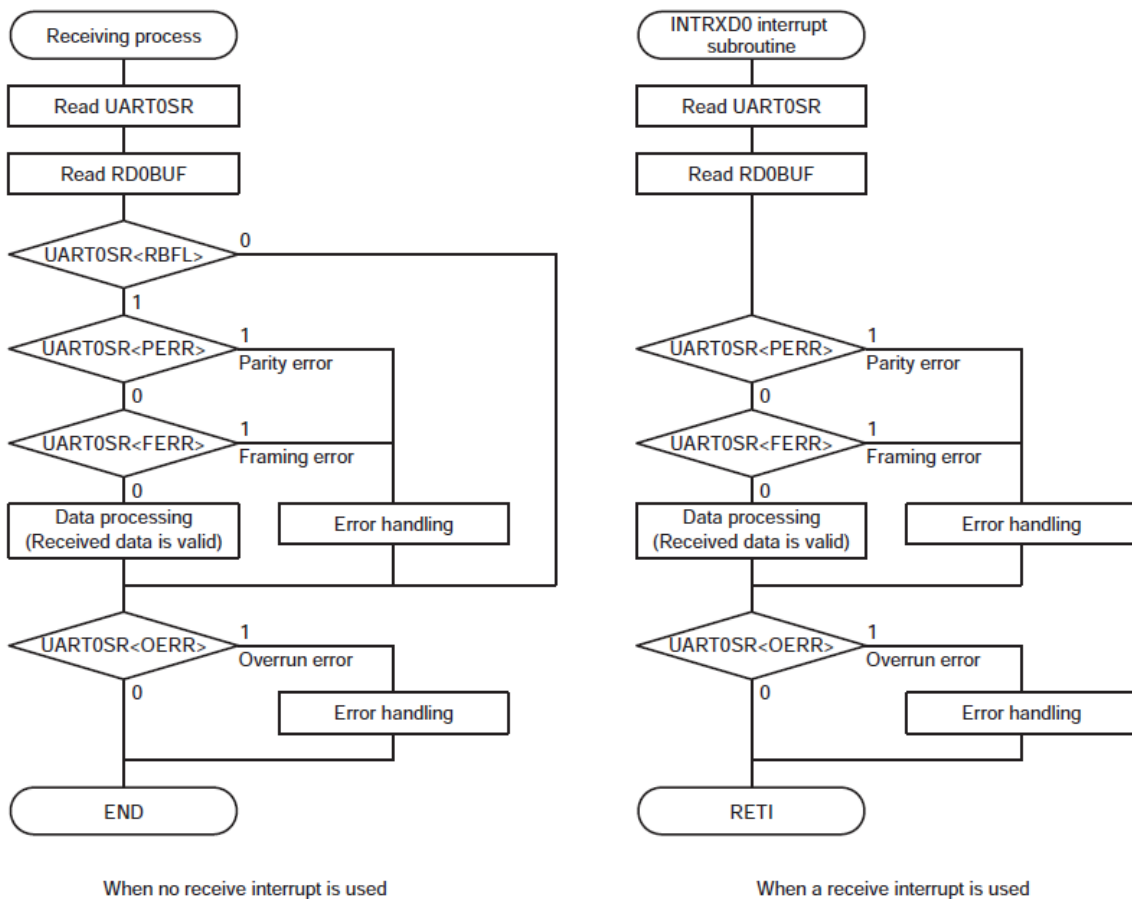


图 12- 15 接收流程范例

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

RBFL	FERR/PERR	OERR	State
0	-	0	Data has not been received yet.
0	-	1	Some pieces of data could not be received during the previous data receiving process (Receiving of next data is completed in the period from when UART0SR is read to when RD0BUF is read in the previous data receiving process.)
1	0	0	Receiving has been completed properly.
1	0	1	Receiving has been completed properly, but some pieces of data could not be received.
1	1	0	Received data has erroneous value(s).
1	1	1	Received data has erroneous value(s) and some pieces of data could not be received.

表 12-6 不使用接收中断时的标帜判断

FERR/PERR	OERR	State
0	0	Receiving has been completed properly.
0	1	Receiving has been completed properly, but some pieces of data could not be received.
1	0	Received data has erroneous value(s).
1	1	Received data has erroneous value(s) and some pieces of data could not be received.

表 12-7 使用接收中断时的标帜判断

13. 串行总线接口(SBI)/I2C

本产品有一组符合 I2C 总线标准的串行总线接口，使用 SDA 與 SCL 在設備間傳輸數據。I2C 總線用於主機與從機間雙向數據傳輸。可用於多主機系統，支持無中央主機集多主機系統，主機與主機間的總線仲裁傳輸，同步時鐘 SCL，允許設備間使用不同波特率的數據傳輸。支持：主發、主收、從發、從收。I2C 總線支持 7 位地址。支持廣播呼叫，支持標準速率傳輸(100kbps)和快速傳輸(400kbps)。

I2C 可從 standby 模式下將設備喚醒。

13.1 通信格式

13.1.1 I2C 总线

I2C 总线透过 SDA 与 SCL 链接到不同设备上,且能同时与多设备通讯。

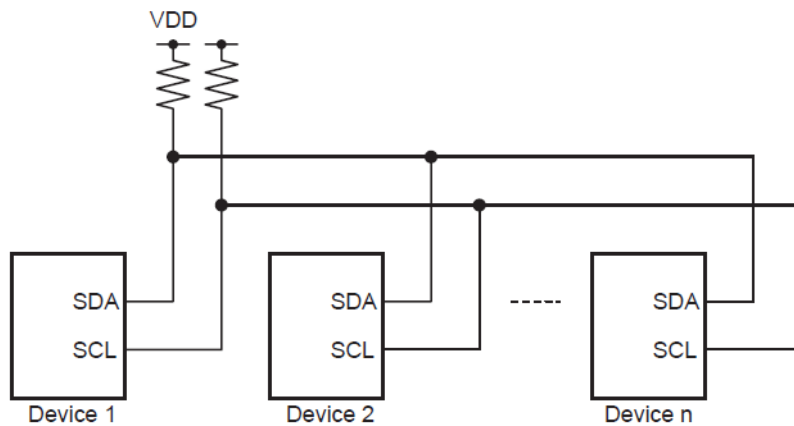


图 13- 1 装置连接图

在主导设备与从属设备间进行通信。

主导设备会发送起始条件，从属设备地址，传输方向位与停止条件到总在线的从属设备，进行数据传送与接收。

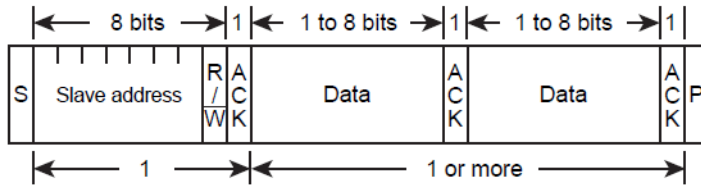
从属设备侦测到从主导设备传来的这些条件,并且传送与接收数据。

I2C 总线数据格式可透过串行总线接口连接,如图 13- 2 所示。

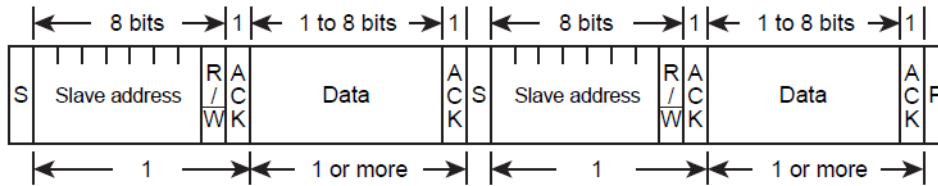
依据 I2C 串行总线标准,串行总线接口不支持以下功能：

1. 起始位
2. 10 位地址
3. SDA 与 SCL 下降前沿斜率控制

(a) Addressing format



(b) Addressing format (with restart)



S : Start condition
 R/W : Direction bit
 ACK : Acknowledge bit
 P : Stop condition

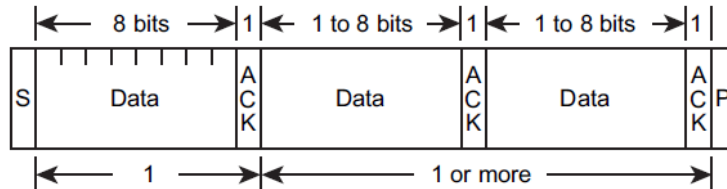
图 13-2 I2C 总线数据格式

13.1.2 通用数据格式

主控与从属设备间通讯使用通用数据格式。

在通用数据格式里,从属设备地址与位传输方向位将会视为数据处理。

(a) Free data format



S : Start condition
 R/W : Direction bit
 ACK : Acknowledge bit
 P : Stop condition

图 13-3 通用数据模式

13.2 框图

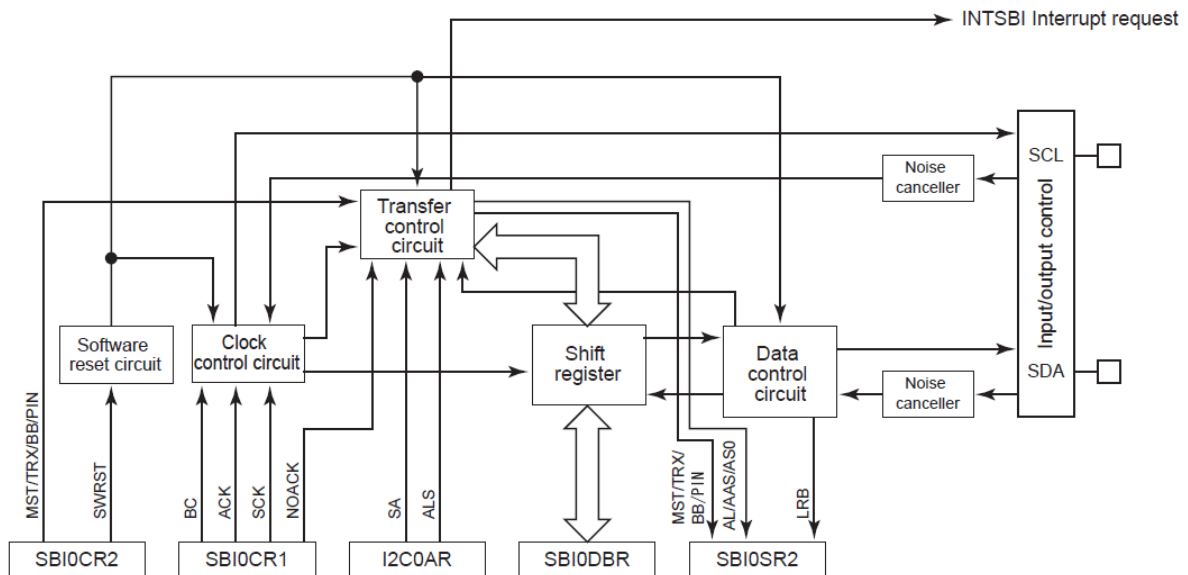


图 13-4 串行总线接口 0 (SBI0)方框图

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

13.3 控制

以下寄存器通常用于控制串行总线接口并监督运作状态

- 串行总线接口控制寄存器 1 (SBIOCR1)
- 串行总线接口控制寄存器 2 (SBIOCR2)
- 串行总线接口状态寄存器(SBIOSR)
- 串行总线接口数据缓存器(SBIOBR)
- I2C 总线地址寄存器(I2COAR)

此外,串行总线接口有外围电路时钟允许寄存器,当串行总线接口没有被使用时,可选择不开启时钟,可节省功耗。

寄存器	描述
PCKEN2	外围电路时钟允许寄存器 2
SBIOCR1	串行总线接口 0 控制寄存器 1
SBIOCR2	串行总线接口 0 控制寄存器 2
SBIOSR	串行总线接口 0 状态寄存器
I2COAR	I2C 总线 0 地址寄存器
SBIOBR	串行总线 0 数据缓存器

以上表格为寄存器地址,并于后续进行各个寄存器的说明。SBI/I2C 信道 0~信道 1 的设定雷同,故寄存器皆以通用符号 x(x=0,1)进行说明。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

13.4 功能

13.4.1 低功耗功能

串行总线接口具外围电路时钟允许寄存器 2(PCKEN2), 当串行总线接口未使用时,可节省功耗。

将 PCKEN2<I2CxEN>设为“0”, 提供串行总线接口的基本时钟会暂停以减少功耗,但这同时也会使得串行总线接口无法使用. 将 PCKEN2< I2CxEN >设为“1”, 会启动串行总线接口的基本时钟,并可使用外部中断。

在复位之后, PCKEN2< I2CxEN >将被初始为“0”,且会导致串行总线接口无法使用.当第一次使用串行总线接口时,请务必在程序初始设定时(串行总线接口控制寄存器运作前)将 PCKEN2< I2CxEN >设为“1”。

当串行总线接口运作时,不要将 PCKEN2< I2CxEN >变更为“0”, 否则串行总线接口将会不可预测。

13.4.1.2 选取从属地址配对检测与广播呼叫检测

在从属模式,SBIXCR1<NOACK>可启动或不启动从属地址检测与广播呼叫配对检测。

将 SBIXCR1<NOACK>清除为“0”, 可启动从属地址配对检测与广播呼叫检测。

将 SBIXCR1<NOACK>设为“1”.将使后续从属地址配对检测与广播呼叫配对检测无效.由主控设备传送的从属地址与广播呼叫将被忽略.且没有应答回传,也不会产生中断需求。

在主动模式, SBIXCR1<NOACK>将被忽略且对工作没有影响。

注：在从属模式下进行数据传输时, 若将 SBIXCR1<NOACK>清除为“0”,则 SBIXCR1<NOACK>仍会维持为“1”并且回传一数据传输的应答信息。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

13.4.3 选取数据传输的时钟数与选取应答或单一应答模式

1 字节数据传输包含数据与一应答信号.当数据传输完成后,将会产生一中断需求。

SBIxCR1<BC>用来选取数据的位数,以进行后续传送与接收. 此应答模式是透过设定 SBIxCR1<ACK>为“1”开始进行。

主动装置将产生时钟给应答信号,并在接收模式下产出一应答信号.从属装置会计算时钟脉冲给应答信号,并在接收模式下产出应答信号。

SBIxCR1<ACK>设定为“0”,将启动无应答模式。

主控装置不会产生时钟脉冲给应答信号.从属装置也不会计算时钟脉冲给应答信号。

13.4.3.1 数据传输的时钟脉冲数

数据传输的时钟脉冲数由 SBIxCR1<BC>与 SBIxCR1<ACK>进行设定。

SBIxCR1<ACK>设为“1”,开始启动应答模式。

在应答模式里,主控装置对应答信号,将产生对应于数据位数的时钟脉冲,且产生一中断需求。

从属设备计算对应数据位数的时钟脉冲,并对应答信号计算时钟脉冲,并且产生一中断需求。

SBIxCR1<ACK>设为“0”,将启动无应答模式。

在无应答模式,主控装置对应数据位数所产生时钟脉冲,并产生一中断需求。

从属装置对应数据位计算时钟脉冲,且产生一中断需求。

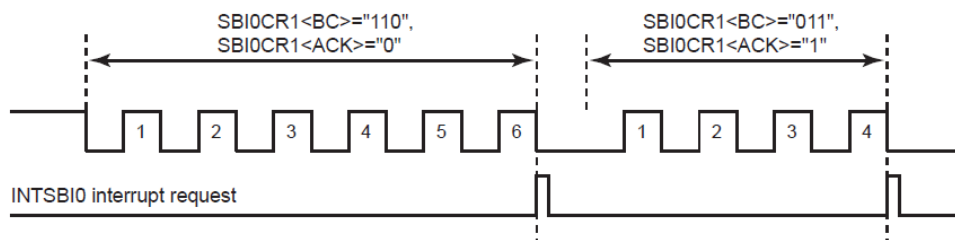


图 13- 5 数据传输时的时钟脉冲与 SBIxCR1<BC>, SBIxCR1<ACK>(图以 SBI0 作为范例)

数据传输的时钟脉冲与 SBIxCR1<BC>与 SBIxCR1<ACK>的关系如表 13- 1 所列

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

BC	ACK=0 (Non-acknowledgment mode)		ACK=1 (Acknowledgment mode)	
	Number of clocks for data transfer	Number of data bits	Number of clocks for data transfer	Number of data bits
000	8	8	9	8
001	1	1	2	1
010	2	2	3	2
011	3	3	4	3
100	4	4	5	4
101	5	5	6	5
110	6	6	7	6
111	7	7	8	7

表 13- 1 数据传输的时钟脉冲与 SBIXCR1<BC>, SBIXCR1<ACK>间的关系

开始条件后，BC 被清除为“000”。

因此，从属地址与位方向将以 8 位单位传送。在其他状况下，BC 将维持设定值。

注：SBIXCR1<ACK>设定,必须在传送数据或是接收到从属地址之前. 若 SBIXCR1<ACK>被清除,从属地址配对检测与传输方向位将不会正常运作。

13.4.3.2 产出应答信号

在应答模式，在应答信号的时钟脉冲期间，SDA 脚位会进行以下变更。

(a) 主动模式

传输模式，在应答信号的时钟脉冲期间，将释放 SDA 脚位以接收从接收器发出的应答信号。在接收模式下，SDA 脚位将被拉低，且应答信号在应答信号时钟脉冲期间产生一应答信号。

(b) 从动模式

当所接收的从属地址与设定于 I2CxAR<SA>从属地址检测符合,或者接收到广播呼叫，SDA 脚位被拉低，且在应答信号的时钟脉冲期间产生一应答信号。

在从属地址配对检测后，进行数据传输期间，或在传输模式下接收到广播呼叫，将释放 SDA 脚位元以在应答信号的时钟脉冲期间从接收器接收一应答信号。

接收模式下，SDA 脚位将被拉低并产生一应答信号。表 13- 2 为应答模式下 SCLx 与 SDA 的状态(以 SCL0 与 SDA0 为范例)。

注：在无应答模式下,并未产生或计算信号的时钟脉冲,因此没有应答信号产出。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

Mode	Pin	Condition	Transmitter	Receiver
Master	SCL0	-	Add the clocks for an acknowledge signal.	Add the clocks for an acknowledge signal
	SDA0	-	Release the pin to receive an acknowledge signal	Output the low level as an acknowledge signal to the pin
Slave	SCL0	-	Count the clocks for an acknowledge signal	Count the clocks for an acknowledge signal
	SDA0	When the slave address match is detected or a "GENERAL CALL" is received	-	Output the low level as an acknowledge signal to the pin
		During transfer after the slave address match is detected or a "GENERAL CALL" is received	Release the pin to receive an acknowledge signal	Output the low level as an acknowledge signal to the pin

表 13-2 应答模式下 SCLx 与 SDA 的状态(以 SCL0 与 SDA0 为范例)

13.4.4 串行时钟

13.4.4.1 时钟源

SBIXCR1<SCK>用来设定高或低串行时钟周期，并在主动模式下输出。

SCK	$t_{HIGH}(m/fsysclk)$	$t_{LOW}(n/fsysclk)$
	m	n
000	9	12
001	11	14
010	15	18
011	23	26
100	39	42
101	71	74
110	135	138
111	263	266

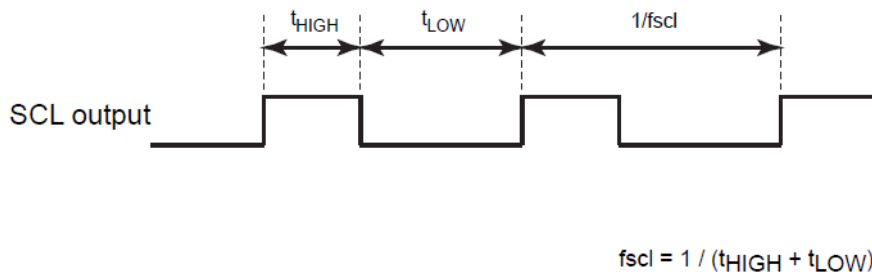


图 13-6 SCL 输出

注：有一些例子,当高周期与从 SBIXCR1<SCK>选取的 t_{HIGH} 不同时,当 SCL 上升前缘因总线的负载能力而趋缓时。

在主动模式下,开始条件产生时的持留时间为 t_{HIGH} [s],当停止条件产生时的设定时间为 t_{HIGH} [s]。

在从动模式中,SBIXCR2<PIN>设为“1”,当 SCL 脚位释放前,消失的时间为 t_{LOW} [s]。

在主动与从动模式下,不管 SBIXCR1<SCK>设定,最高周期必须为 $3/fsysclk[s]$ 以上,且低周期必须为 $5/fsysclk[s]$ 或比外部时钟长。

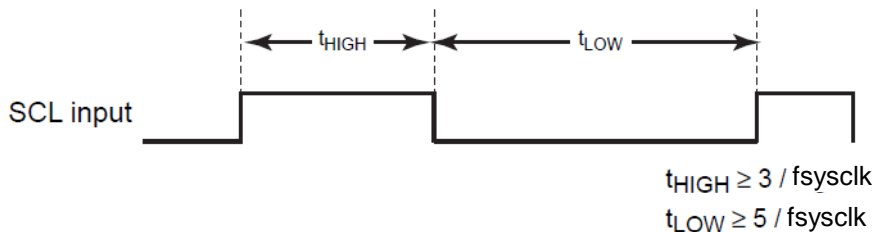


图 13-7 SCL 输入

13.4.4.2 时钟同步

具有 I2C 功能的脚位元，由于 IO 口结构的关系，为了驱动总线，进行线与，一个将要 clock 脉冲下拉到低电平的主机设备，将会使其余正在输出高电平的主机设备无效。所以，主机输出高电平时必须先进行检测以保持一致。

串行总线接口线路具时钟同步功能。此功能确保即使同时有 2 个以上的主控在同个总线，也能进行正常传输。

以下例子，解释当总线同时存在两个主控时的同步时钟程序。

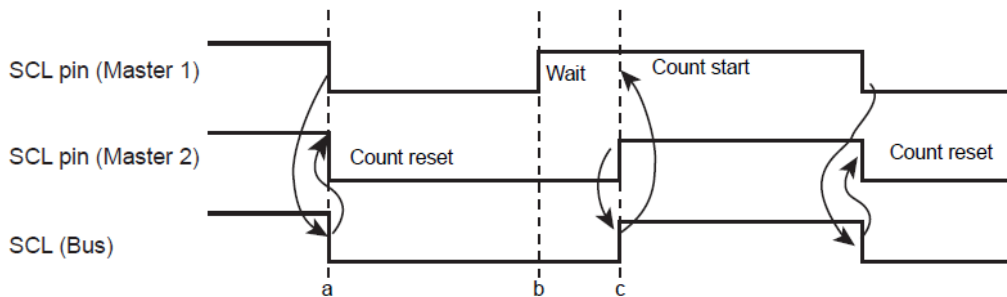


图 13- 8 同步时钟范例

主控 1 在 a 点将 SCL 下拉到低电位,SCL 线将成为低电位.在检测到此状况后,主控 2 将重新计算高电位的时钟脉冲并设定 SCL 到低电位。

主控 1 在 b 点完成时钟脉冲计算,并设定 SCL 为高电位. 因为主控 2 将保持 SCL 线在低电位,主控 1 将等到数完高电位时钟脉冲.当主控 2 在 c 点设定时钟脉冲为高电位,并侦测 SCL 线在高电位,主控 1 将开始计算高电位时钟脉冲.然后,处于完成计算高电位时钟脉冲的主控,将下拉 SCL 线到低电位。

总线的时钟脉冲决定于与总线链接的主控装置中,具最短高电位周期与最长低电位周期的主控装置。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

13.4.5 选取主控/从属

要设定主控装置, SBIXCR2<MST>须设为“1”。

要设定从属装置, SBIXCR2<MST>须清除为“0”。当总线停止条件或者被检测到仲裁丢失, SBIXCR2<MST>将被硬件清除为“0”。

13.4.6 选取传输/接收

要将装置设定为传送端, SBIXCR2<TRX>应被设为“1”。若要装置设为接收者,则将 SBIXCR2<TRX>清除为“0”。

I2C 总线在从属模式进行数据传输, 如果主控装置的方向位(读/写)为“1”,则透过硬件将 SBIXCR2<TRX>设为“1”; 若方向位为“0”时,则清除为“0”。

在主控模式,收到一从从属装置上回传的应答信号后, 如果传输方向位为“1”,SBIXCR2<TRX>将透过硬件清除为“0”,若传输方向位为“0”的话,则透过硬件将,SBIXCR2<TRX>设定为“1”。当应答信号没有回传时,则维持现行的状态。

当总线为停止条件或检测到仲裁丢失时, SBIXCR2<TRX>透过硬件将清除为“0”。表格 15.3 表示 SBIXCR2<TRX>在不同模式下的变更条件,与变更后的 SBIXCR2<TRX>值。

注: 当 SBIXCR1<NOACK>为 1,从属地址符合检测,且广播呼叫检测无效,则 SBIXCR2<TRX>将维持不变。

Mode	Direction bit	Changing condition	TRX after changing
Slave mode	"0"	A received slave address is the same as the value set to I2CxAR<SA>	"0"
	"1"		"1"
Master mode	"0"	ACK signal is returned	"1"
	"1"		"0"

表 13-3 不同模式下 SBIXCR1<TRX>的运用

当串行总线接口线路在自由数据格式运作, 一从属地址与方向位将不被辨识.在产生开始条件后,将视为数据传送. SBIXCR2<TRX>不会被硬件改变。

13.4.7 生成开始/停止条件

当 SBIXSR2<BB>为“0”，一从属地址与 SBIXDBR 所设的方向位将在开始条件产生后输出；当 SBIXCR2 <MST>, SBIXCR2<TRX>, SBIXCR2<BB> 与 SBIXCR2<PIN> 写入“1”，将产生开始条件。”必须在开始条件产生前，将 SBIXCR1<ACK>设为“1”。

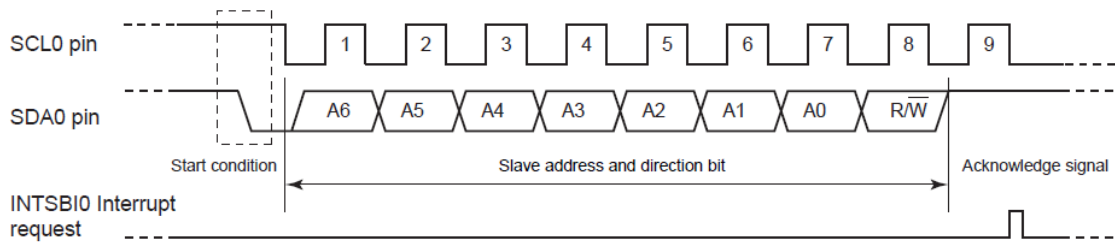


图 13-9 产生开始条件与从属地址(以 SBIO 为例)

当 SBIXCR2<BB>为“1”，将 SBIXCR2<MST>, SBIXCR2<TRX>与 SBIXCR2<PIN>写入“1”，且 SBIXCR2<BB>写入“0”，后续将产生总线停止条件。

当停止条件成生时, SCL 线将被其他装置下拉到低电位,在 SCL 线释放后,成生停止条件。

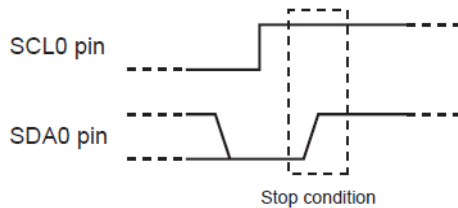


图 13-10 停止条件产生(以 SBIO 为例)

总线状态可透过读取 SBIXSR2<BB>内容而显示.当总线开始条件被检测(总线为忙碌状态), SBIXSR2<BB>为“1”;当停止条件被检测(总线为自由状态),则将 SBIXSR2<BB>清除为“0”。

13.4.8 中断服务需求发布与释放

当串行总线接口线路在 主控模式,并传输 SBIxCR1<BC>与 SBIxCR1<ACK>完成的时钟组,将成生串行总线接口中断需求(INTSBIx)。

在从属模式, 当上述与下列条件被满足时,将成生串行总线接口中断需求(INTSBIx)。

- 在应答信号的结尾,当接收到的从属地址符合 I2CxAR<SA>设定值,且 SBIxCR1<NOACK>设为“0”。
- 在应答信号的结尾,当广播呼叫被接收且 SBIxCR1<NOACK>设为“0”。
- 在传送或接收结尾,在配对从属地址之后或接收到广播呼叫。

当串行总线接口中断需求发生时, SBIxCR2<PIN>清除为“0”。在 SBIxCR2<PIN>为“0”的期间, SCLx 将被下拉为低电位。

将数据写入到 SBIxDBR,以设定 SBIxCR2<PIN>为“1”。从 SBIxCR2<PIN>设为“1”,到 SBIx 被释放的时间为 t_{Low}。

虽然 SBIxCR2<PIN>可透过软件设定为“1”,但 SBIxCR2<PIN>无法由软件清除为“0”。

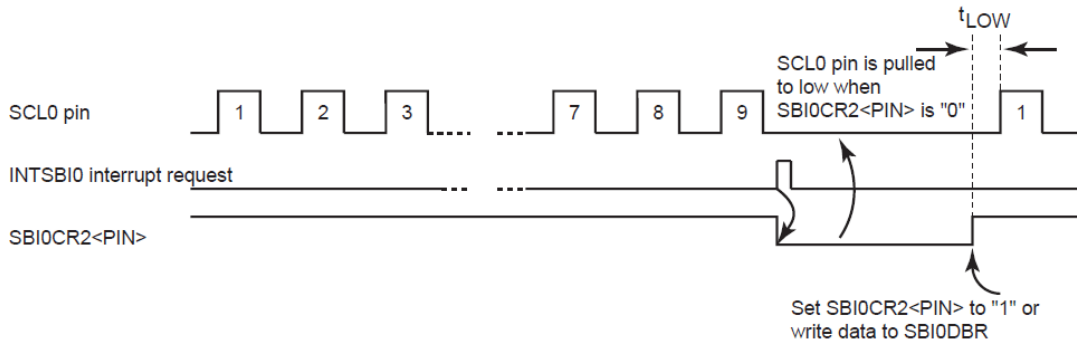


图 13- 11 SBIxCR2<PIN>与 SCLx 脚位(以 SBI0 为范例)

13.4.9 设定串行总线接口模式

SBIxCR2<SBIM>一般为设定串行总线接口模式。

将 SBIxCR2<SBIM>设为“1”,以选择串行总线接口模式; 若设定为“0”则选择端口模式。

将 SBIxCR2<SBIM>设为“1”,以设定串行总线接口模式.在设定串行总线接口模式前,先确认串行总线接口脚位元元在高电位,且写入“1”到 SBIxCR2<SBIM>。

确认总线是自由状态后切换为端口模式,且设定 SBIxCR2<SBIM>为“0”。

注：当 SBIxCR2<SBIM>为“0”，除了 SBIxCR2<SBIM>之外,不能在 SBIxCR2 写入资料.在设定 SBIxCR2 之前,将“1”写入 SBIxCR2<SBIM>以启动串行总线接口模式。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

13.4.10 软件复位

串行总线接口线路具有软件复位功能,可初始化串行总线接口线路.若串行总线接口线路被锁住,举例而言,若有噪声时,则可透过此功能初始化。

在 SBIxCR2<SWRST>写入"10"然后写入"01",将进行软件复位。

在软件复位后,串行总线接口线路被初始化,且除了 SBIxCR2<SBIM>以外的 SBIxCR2 寄存器内容,与 SBIxCR1,I2CxAR<SA>,及 SBIxSR2 都被初始化。

13.4.11 仲裁丢失检测功能

当总线同时存在多主控装置时,为了确保传输的数据内容,会执行总线仲裁程序。

SDA 线的数据将用于 I2C 总线仲裁。

以下为一总线仲裁程序的范例.当两个主控装置同时存在时于总在线时,当主控 1 输出"1"且主控 2 输出"0",SDA 线是线与,且 SDA 线被主控 2 下拉到低电位.当总线的 SCL 线在 b 点被上拉,从属装置将从 SDA 线读到数据,此为主控 2 的数据,主控 1 所传输的数据将为无效的.此时主控 1 的状态称为"仲裁丢失".当一主控装置在仲裁丢失后将释放 SDA 脚位与 SCL 脚位,以不影响其他主控的数据传输.当有超过一个主控输出相同数据在第一个字时,仲裁将接续在第二个字进行。

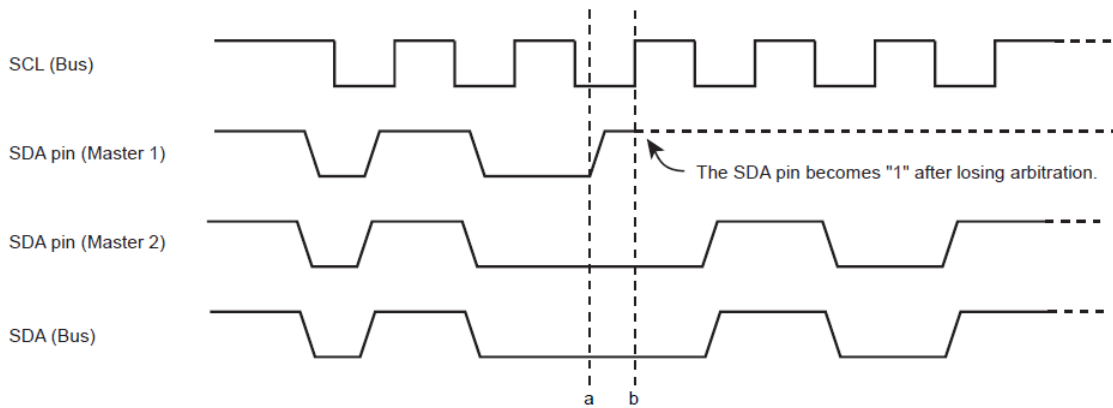


图 13- 12 仲裁丢失

当 SDA 在 SCL 上升前沿时,对串行总线接口线路与 SDA 总线的程度比较.若电平是不匹配的则仲裁丢失且 SBIxSR2<AL>设为"1"。

当 SBIxSR2<AL>设为"1",SBIxCR2<MST>与 SBIxCR2<TRX>清除为"0" 且模式变更为从属接收模式.因此,在 SBIxSR2<AL>设定为"1"之后,串行总线接口线路在数据传输时将停止时钟脉冲输出,.在数据传输完成后,SBIxCR2<PIN>将清除为"0",且 SCL 将下拉到低电平。

当数据写入 SBIxDBR,或是从 SBIxDBR 读取数据,或是写入数据到 SBIxCR2, 则 SBIxSR2<AL>会被清除为"0"。

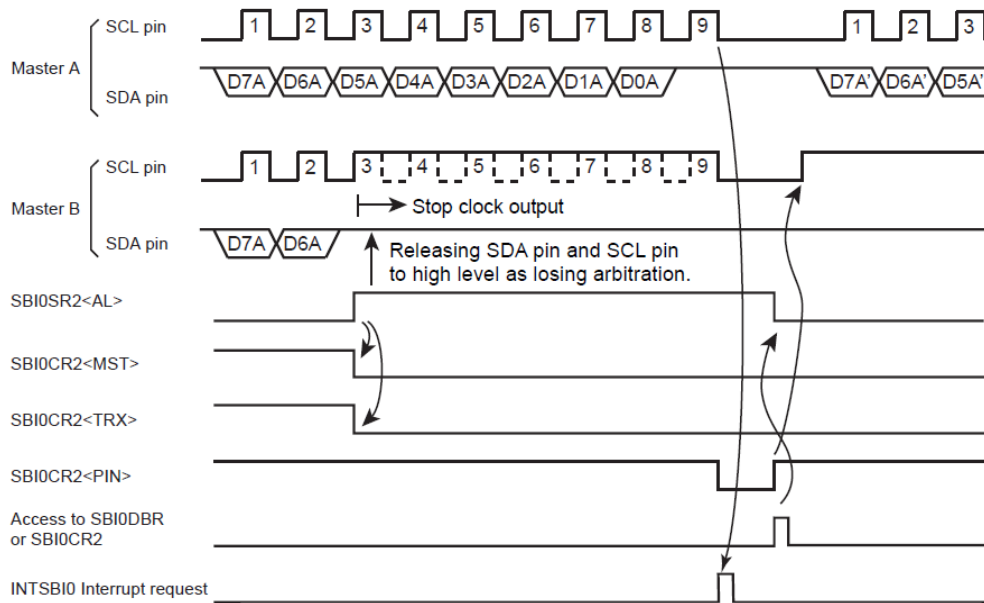


图 13- 13 主控 B 为串行总线接口线路(以 SBI0 为范例)

13.4.12 从属地址配对检测

在从属模式里,当接收数据为广播呼叫,或者接收的数据符合 I2CxAR<SA>所设定的从属地址且 SBIxCR1<NOACK>设为“0”,同时 I2C 总线模式启动时(I2CxAR<ALS>="0")时, SBIxSR2<AAS>为“1”。

设定 SBIxCR1<NOACK>为“1”,将使得后续从属地址配对与广播呼叫检测无效.即使收到广播呼叫或是接收到与 I2CxAR<SA>设定值相同的从属地址, SBIxSR2<AAS>都将维持为“0”。

当串行总线接口线路在通用数据格式(I2CxAR<ALS>= "1")运作, 在接收第一字数据后,SBIxSR2<AAS>设为“1”。若将数据写入 SBIxDBR 或从 SBIxDBR 读取数据,则 SBIxSR2<AAS>将清除为“0”。

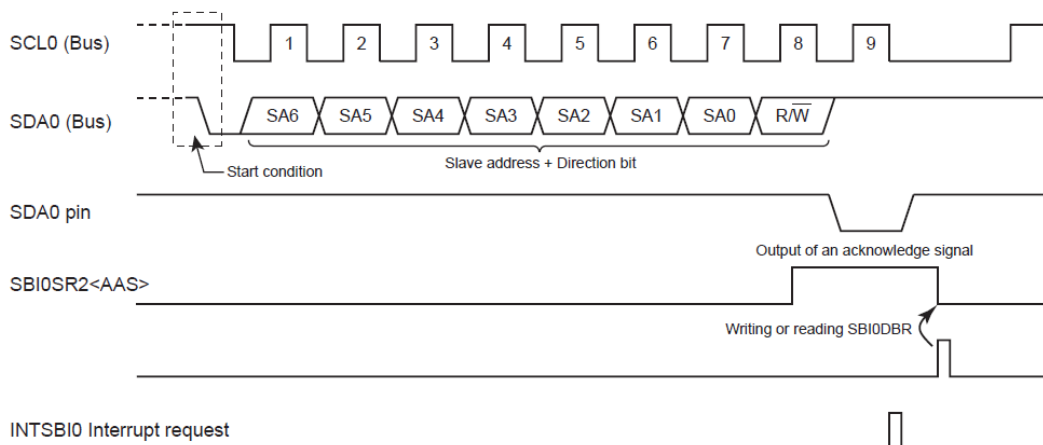


图 13- 14 变更从属地址配对检测监控(以 SBI0 为范例)

13.4.13 广播呼叫检测

当 SBIxCR1<NOACK>为“0”且广播呼叫(在开始条件后,所有 8 位接收数据马上为“0”).在从属模式下, SBIxSR2<AD0>为“1”。

将 SBIxCR1<NOACK>设为“1”,使得后续从属地址配对与广播呼叫检测无效.当广播呼叫被接收时, SBIxSR2<AD0>维持为“0”。

当总线被检测到开始或停止条件时, SBIxSR2<AD0 清除为“0”。

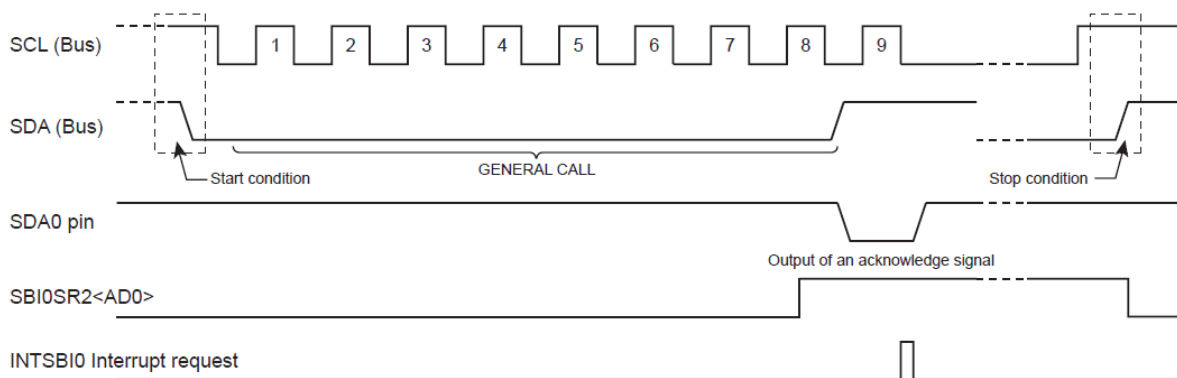


图 13- 15 广播呼叫变更(以 SBI0 为范例)

13.4.14 最后接收位的监控

SDA 线数值设定为 SBIxSR2<LRB>,并储存在 SCL 上升前沿。

在应答模式里, 当中断需求产生后,马上读取 SBIxSR2<LRB>,以读取应答信号。

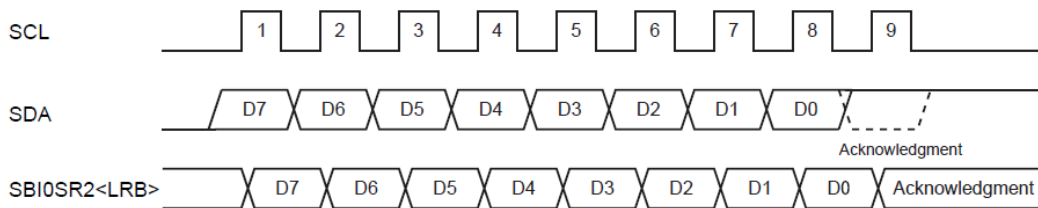


图 13- 16 最后接收位变更监控(以 SBI0 为范例)

13.4.15 从属位址与位址辨识模式说明

当串行总线接口线路使用于 I2C 总线模式,清除 I2CxAR<ALS>为"0",且设定 I2CxAR<SA>为从属地址。

当串行总线接口线路用于通用数据模式且并未识别从属地址,设定 I2CxAR<ALS>为"1"。在通用数据模式下,从属位址与位方向将不被辨识,并且从开始条件后将马上进行数据运算。

13.5 I2C 总线的数据传输

13.5.1 设备初始化

将 PCKEN2<I2CxEN>设为"1"。

确认串行总线接口脚位元元在高电位之后,设定 SBiXCR2<SBIM>为"1",以选择串行总线接口模式。

将 SBiXCR1<ACK>设为"1", SBiXCR1<NOACK>设为"0", SBiXCR1<BC>设为 "000",以计算时钟数给应答信号,用以启动从属地址配对检测与广播呼叫检测,且设定数据长度为 8 位。于 SBiXCR1<SCK>设定 t_{HIGH} 与 t_{LOW} 。

在 I2CxAR<SA>设定从属地址,且将 I2CxAR<ALS>设为"0",以选择 I2C 总线模式。

最后,将 SBiXCR2<MST>, SBiXCR2<TRX>与 SBiXCR2<BB>设为"0", SBiXCR2<PIN>设为"1",且 SBiXCR2<SWRST>设为"00",以在从属接收模式中定义默认值。

注 1: 串行总线接口线路的初始化,必须在所有连接到总线的装置初始化,但装置尚未启动开始状态时完成。如果不行,数据不能被正确接收,因为其他装置将在串行总线接口线路初始前启动传输。

13.5.2 开始条件与从属地址产生

确认总线自由状态(SBiXSR2<BB>="0")。

设定 SBiXCR1<ACK>为"1",且指出从属地址与数据方向位传输到 SBiXDBR。

将"1"写入 SBiXCR2<MST>, SBiXCR2<TRX>, SBiXCR2<BB>与 SBiXCR2<PIN>,总线将产生一开始条件,且从属地址与数据方向将由 SBiXDBR 输出。从生成开始条件直到 SBiX 拉低所需时间为 t_{HIGH} 。

— 中断需求发生在第九个 SCL 时钟循环的下降前沿,且 SBiXCR2<PIN>清除为"0"。当 SBiXCR2<PIN>为"0",SCLx 脚位被拉低到较低水平。当一中断需求发生,只有当应答信号从从属设备回传时, SBiXCR2<TRX>会依据数据方向位透过硬件变更。

注 1: 当数据传输时,不要在 SBiXDBR 写入从属地址。如果数据被写入 SBiXDBR,则输出数据将会毁坏。

注 2: 此总线自由状态必须以软件确认在 98.0us 内确认。(依据 I2C 总线标准的一般模式的最短传输时间), 或 23.7 us (依据 I2C 总线标准快速模式,最短的传输时间) 在设定从属地址输出后,如果写入从属地址且未在 98.0us 或 23.7 us 内设定 SBiXCR2<MST>, SBiXCR2<TRX>, SBiXCR2<BB>与 SBiXCR2<PIN>, 则其他主控可开始传输且写入 SBiXDBR 的从属地址可能会中断。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

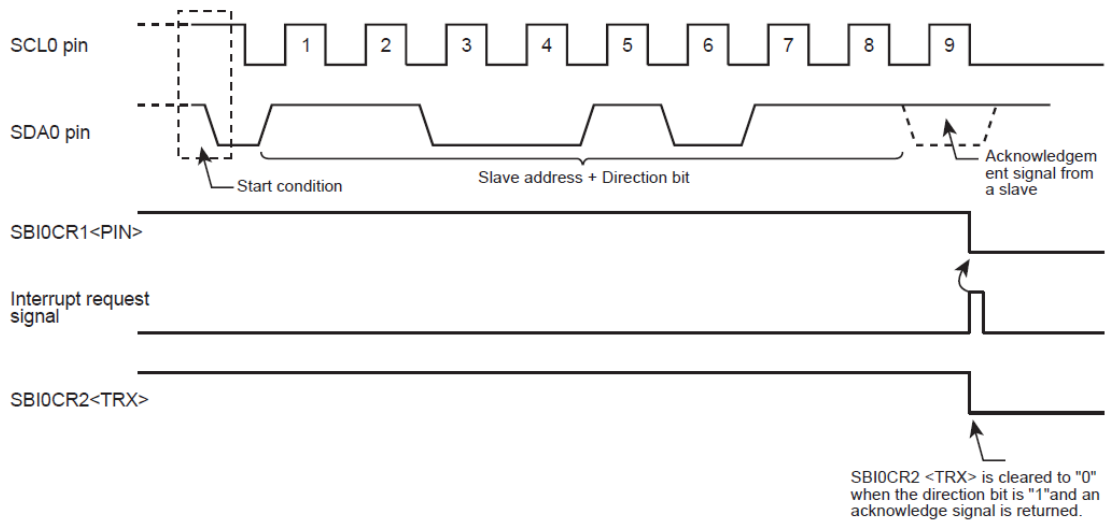


图 13- 17 产生开始条件与从属地址(以 SBIO 为范例)

13.5.3 字数据传输

在 1 字数据完成传输后,透过中断程序确认 SBIXSR2<MST>,并决定该模式是主控或是从属模式。

13.5.3.1 当 SBIXSR2<MST>为“1” (主控模式)

确认 SBIXSR2<TRX>并决定是传输或接收模式。

(a) 当 SBIXSR2<TRX>为“1”(传输模式)

确认 SBIXSR2<LRB>.当 SBIXSR2<LRB>为“1”,接收端不会要求数据.过程执行将产生停止条件(会在下章节叙述),将停止数据传输。

当 SBIXSR2<LRB>为“0”,接收端将需求后续数据.当数据传输不是 8 位时,重新设定 SBIXCR1<BC>,将 SBIXCR1<ACK>设为“1”,并在 SBIXDBR 写入传送数据。

写入数据后, SBIXCR2<PIN>将为“1”,为从 SCLx 脚位进行后续一字数据传输,将生成一串行时钟脉冲,然后经由 SDA 脚位进行一字数据传输。

数据传输后,发生一中断需求. SBIXCR2<PIN>将为“0”且 SCLx 脚位设为低电平. 如果数据传输长度超过一字节,将重复以上 SBIXSR2<LRB>确认程序。

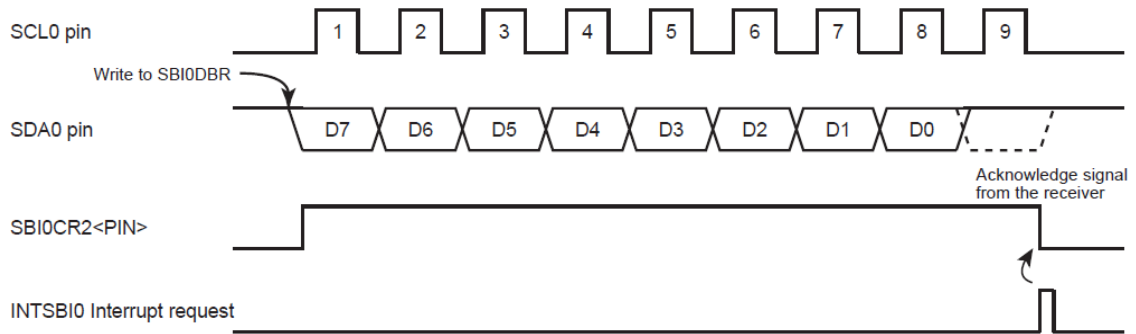


图 13- 18 SBI0CR1<BC>="000"与 SBI0CR1<ACK>="1" 传输(以 SBI0 为范例)

(b) 当 SBI0SR2<TRX>为"0"(接收模式)

当后续数据传输非 8 位,将重新设定 SBI0CR1<BC>.将 SBI0CR1<ACK>设为"1" 且从 SBI0DBR 读取接收的数据(在从属地址传送后,读取的数据并未被立即定义)。

当数据被读取后,将空的数据(0x00)写入 SBI0DBR,以设定, SBI0CR2<PIN>为"1". 串行总线接口线路输出一串行时钟脉冲到 SCLx 脚位,并传输后续 1 字数据,且在应答信号时间,将 SDA 设为"0"。

当中断须求发生且 SBI0CR2<PIN>为"0".串行总线接口线路输出一时钟脉冲给 1 字数据传输与应答信号. 应答信号在读取接收的数据后,将数据写入 SBI0DBR 或是将 SBI0CR2<PIN>设为"1"产生。

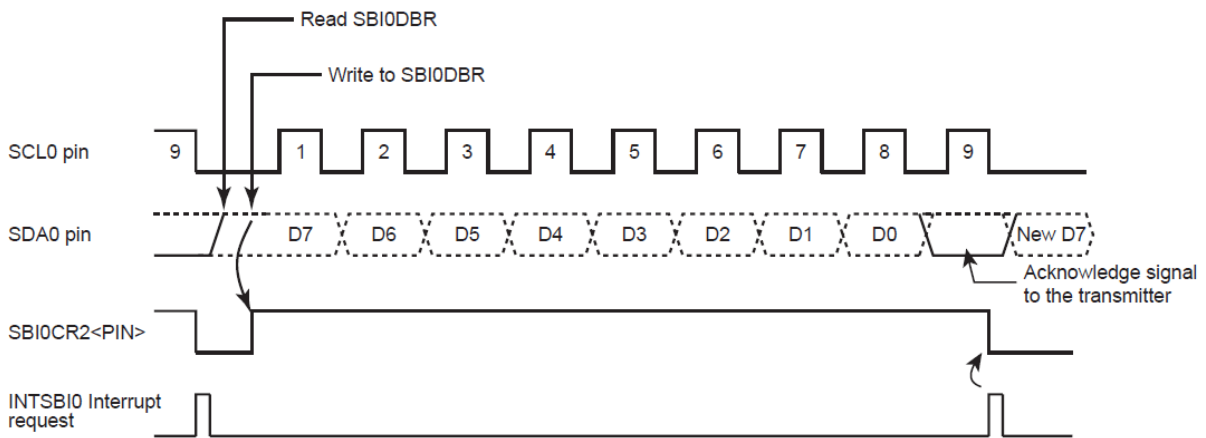


图 13- 19 SBI0CR1<BC>="000" 与 SBI0CR1<ACK>="1"接收(以 SBI0 为范例)

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

若要使传送端中止传输,请在接收最后一笔数据前执行以下程序:

1. 读取所接收的数据
2. 将 SBIxCR1<ACK>清除为“0” 且设定 SBIxCR1<BC>为“000”
3. 将 SBIxCR2<PIN>设为“1”,将空资料(0x00)写入 SBIxDBR

在时无时钟产生给应答信号时进行一字数据传输,设定 SBIxCR2<PIN>为“1”,接着操作以下步骤:

1. 读取接收的数据
2. 将 SBIxCR1<ACK>清除为“0”,且设定“ SBIxCR1<BC>为“001”
3. 设定 SBIxCR2<PIN>为“1”, 在 SBIxDBR 写入空资料(0x00)

设定 SBIxCR1<PIN>为“1”,传输 1 位数据。

在此状况下,因为主控装置为接收端, 总线的 SDA 线将维持高电位.传送端接收到一高电位的信号将被视为否定的应答信号.接收端将告知传送端此数据传输已完成。

在收到一位数据且产生中断需求,将产出停止条件并停止数据传输。

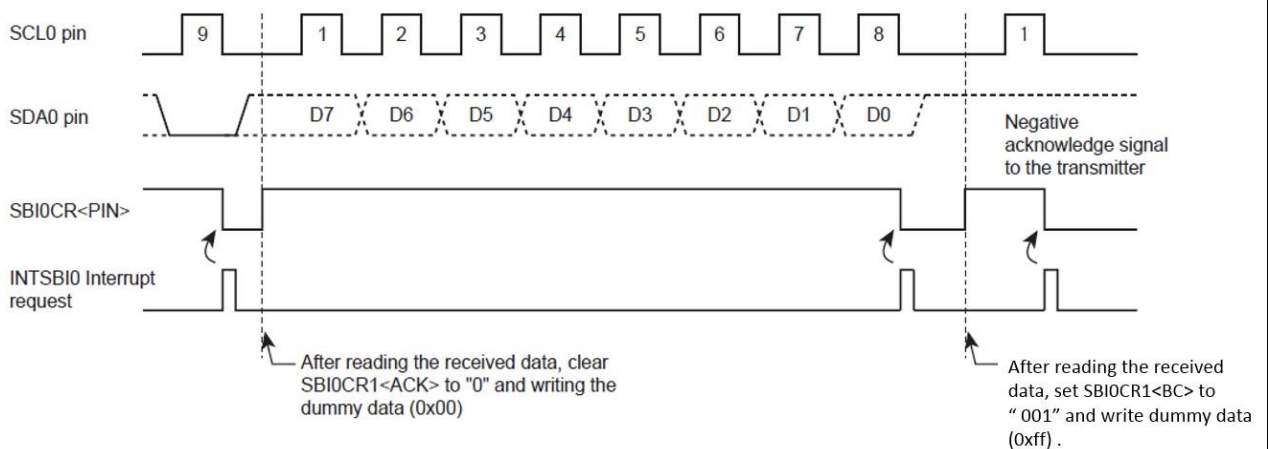


图 13- 20 在主机接收模式下的数据传输中止(以 SBI0 为范例)

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

13.5.3.2 当 SBIxSR2<MST>为“0”(从属模式下)

在从属模式下,串行总线接口线路将在一般从属模式或者是丢失仲裁后的从属模式下运作。

在从属模式下,产生串行总线接口中断需求(INTSBIx)的条件如下列:

- 在应答信号结尾,当所接收的从属地址与 I2CxAR<SA>的设定值相符且 SBIxCR1<NOACK>为“0”
- 在应答信号结尾,收到广播呼叫,且 SBIxCR1<NOACK>设为“0”
- 当传输结束时,或是接收从属地址配对后,或接收广播呼叫后

如果在主机模式下丢失仲裁,串行总线接口线路会变成从属模式.在丢失了仲裁后,如果有一个字的数据传送,将会产生一个中断信号,且丢失仲裁后的 SBIxCR2<PIN>行为将如表 15.4 所列。

	When the Arbitration Lost Occurs during Transmission of Slave Address as a Master	When the Arbitration Lost Occurs during Transmission of Data as Master Transmitter
interrupt request	An interrupt request is generated at the termination of word-data transfer.	
SBI0CR2<PIN>	SBI0CR2<PIN> is cleared to "0".	

表 13- 4 中断需求与仲裁丢失后 SBIxCR2<PIN>的行为(以 SBI0 为范例)

当中断请求发生时, SBIxCR2<PIN>将设为“0”,且 SCLx 线将设为低电位.不论是写入数据到 SBIxDBR 或是将 SBIxCR2<PIN>设为“1”,皆会在 t_{LOW} 之后释放 SCLx 脚位。

检查 SBIxSR2<AL>, SBIxSR2<TRX>, SBIxSR2<AAS>与 SBxSR2<AD0>, 并依据表 15.5 的条件,完成程序设定。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

SBI0SR2<TRX>	SBI0SR2<AL>	SBI0SR2<AAS>	SBI0SR2<AD0>	Conditions	Process
1	1	1	0	The serial bus interface circuit loses arbitration when transmitting a slave address, and receives a slave address of which the value of the direction bit sent from another master is "1".	Set the number of bits in 1 word to SBI0CR1<BC> and write the transmitted data to the SBI0DBR.
		1	0	In the slave receiver mode, the serial bus interface circuit receives a slave address of which the value of the direction bit sent from the master is "1".	
		0	0	0	In the slave transmitter mode, the serial bus interface circuit finishes the transmission of 1-word data
0	1	1	1/0	The serial bus interface circuit loses arbitration when transmitting a slave address, and receives a slave address of which the value of the direction bit sent from another master is "0" or receives a "GENERAL CALL".	Write the dummy data (0x00) to the SBI0DBR to set SBI0CR2<PIN> to "1", or write "1" to SBI0CR2<PIN>.
		0	0	The serial bus interface circuit loses arbitration when transmitting a slave address or data, and terminates transferring the word data.	The serial bus interface circuit is changed to the slave mode. Write the dummy data (0x00) to the SBI0DBR to clear SBI0SR2<AL> to "0" and set SBI0CR2<PIN> to "1".
	0	1	1/0	In the slave receiver mode, the serial bus interface circuit receives a slave address of which the value of the direction bit sent from the master is "0" or receives "GENERAL CALL".	Write the dummy data (0x00) to the SBI0DBR to set SBI0CR2<PIN> to "1", or write "1" to SBI0CR2<PIN>.
		0	1/0	In the slave receiver mode, the serial bus interface circuit terminates the receipt of 1-word data.	Set the number of bits in 1-word to SBI0CR1<BC>, read the received data from the SBI0DBR and write the dummy data (0x00).

表 13-5 从属模式下的运作(以 SBI0 为范例)

注：在从属模式下,如果从属地址设定 I2CxAR<SA>为“0x00”，一个 I2C 标准的起始位“0x01”将被接收,此设备检测从属地址符合,且 SBIxCR2<TRX>设为“1”。不要将 I2CxAR<SA>设为“0x00”。

13.5.4 停止条件产生

当 SBIxCR2<BB>为“1”,将 SBIxCR2<MST>, SBIxCR2<TRX>与 SBIxCR2<PIN>设为“1”,且将 SBIxCR2<BB>清除为“0”将会产生一个停止序列。在总线产生停止条件前,不要修改 SBIxCR2<MST>, SBIxCR2<TRX>, SBIxCR2<BB>与 SBIxCR2<PIN>的内容。

当 SCL 线被其他装置下拉,一串行总线接口线路在 SCL 线被释放后,产生停止条件.从 SCL 被释放到停止条件产生所需的时间为 t_{HIGH}。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

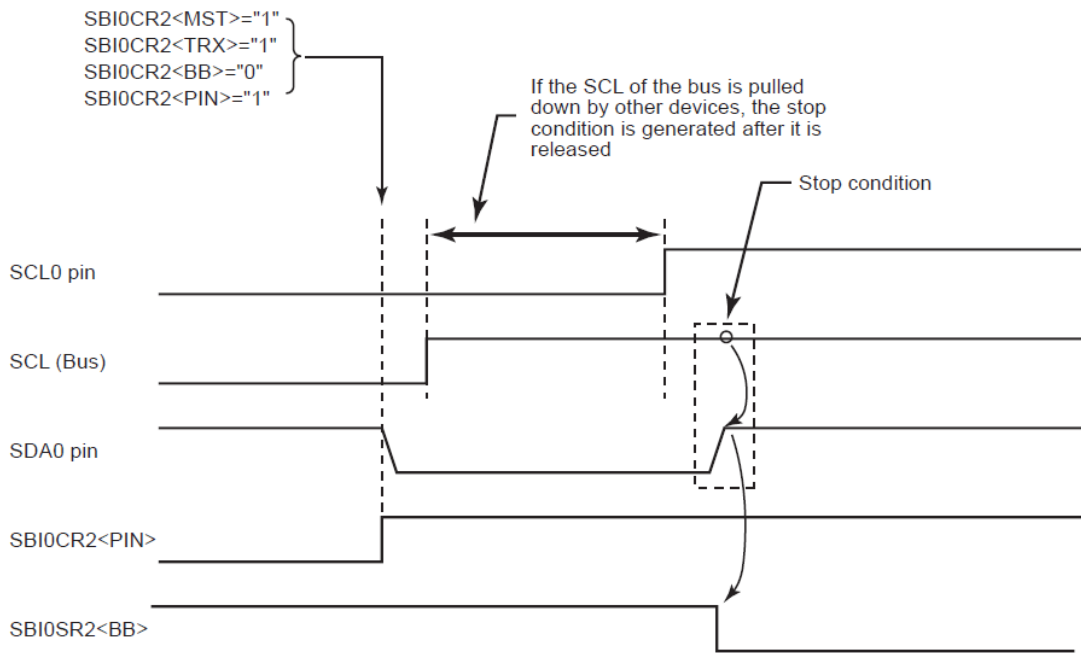


图 13-21 停止条件产生(以 SBI0 为范例)

13.5.5 重新启动

重新启动一般用于变更主控装置与从属装置间的数据传输方向.以下详述如何重新启动串行总线接口线路。

将 SBIxCR2<MST>, SBIxCR2<TRX>,与 SBIxCR2<BB>清除为“0”,并且设定 SBIxCR2 <PIN>为“1”。 SDA 脚位维持高电位且 SCLx 脚位将被释放。

因为这不是停止条件,总线将被其他装置认为处于忙碌的状态。

检查 SBIxSR2<BB>直到值为“0”, 以检查串行总线接口线路的 SCLx 脚位是否被释放。

检查 SBIxSR2<LRB>直到值为“1”, 以检查总线 SCL 线没有被其他装置拉低。

确认总线是否为自由状态后,产生开始条件,与“20.5.2 开始条件与从属地址产生”的相关程序。

为满足重新启动的设定时间,从重新确认总线自由直到开始条件产生,依 I2C 总线标准的标准模式软件至少需要 4.7us 的等待时间,依 I2C 总线标准的快速模式,至少须 0.6us 等待时间。

注：当主控在接收模式, 在深眠模式产生之前,必须停止从从属装置传送数据. 要停止传输,主控装置让从属装置接收负极性应答.因此 在重新启动前,SBIxSR2<LRB>为“1”,且无法确认 SCL 线是否被其他装置下拉.若要确认 SCL 线状态需直接读取掉。

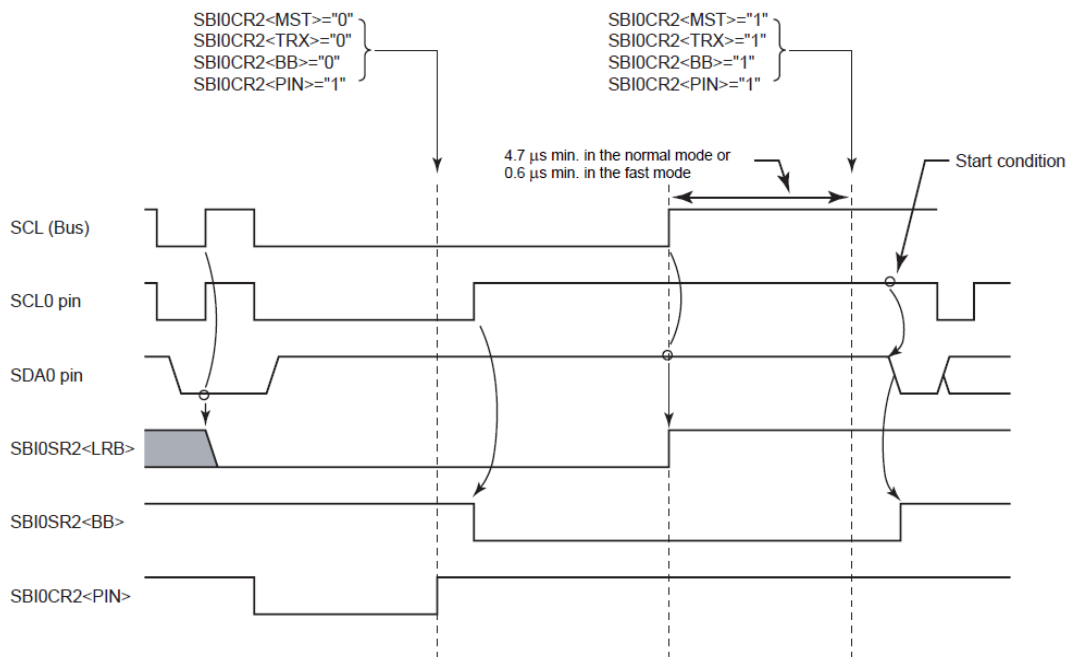


图 13-22 重新启动时的时序图(以 SBI0 为范例)

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

13.6 AC 规格

AC 规格如下所列。工作模式(快速或标准模式)应该选择适当的 fsysclk 频率。这些操作模式,请参考下列表格。

参数	代码	标准模式		快速模式		单位
		Min.	Max.	Min.	Max.	
SCL 时钟频率	f _{SCL}	0	fsysclk / (m+n)	0	fsysclk / (m+n)	us
重启条件保持时间。 第一个时钟脉冲产生跟 随在此时间之后发生。	t _{HD,STA}	m / fsysclk	-	m / fsysclk	-	us
SCL 时钟(输出)低电平周 期	t _{LOW}	n / fsysclk	-	n / fsysclk	-	us
SCL 时钟(输出)高电平周 期	t _{HIGH}	m / fsysclk	-	m / fsysclk	-	us
SCL 时钟(输入)低电平周 期	t _{LOW}	5 / fsysclk	-	5 / fsysclk	-	us
SCL 时钟(输入)高电平周 期	t _{HIGH}	3 / fsysclk	-	3 / fsysclk	-	us
重启条件设置时间	t _{SU,STA}	软件设定	-	软件设定	-	us
数据保持时间(hold time)	t _{HD,DAT}	0	5 / fsysclk	0	5 / fsysclk	us
数据设置时间	t _{SU,DAT}	250	-	100	-	ns
SDA 与 SCL 信号上升时 间	t _r	-	1000	-	300	ns
SDA 与 SCL 信号下降时 间	t _f	-	300	-	300	ns
停止条件设置时间	t _{SU,STO}	m / fsysclk	-	m / fsysclk	-	us
停止条件与开始条件间 的总线自由时间	t _{BUF}	软件设定	-	软件设定	-	us
SBxCR2<PIN>由“0”变“1” 后·SCL 开始爬升前的 时间	t _{SU,SCL}	n / fsysclk	-	n / fsysclk	-	us

表 13-6 AC 规格(线路输出时序)

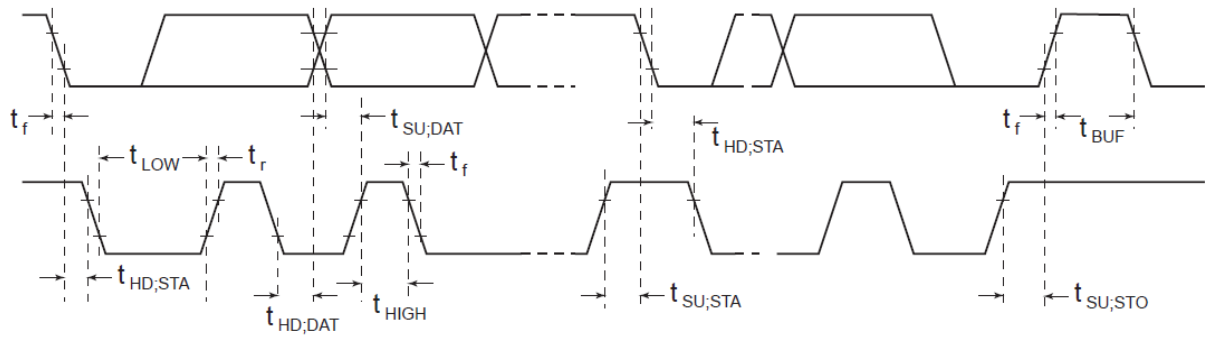


图 13-23 时序定义(No.1)

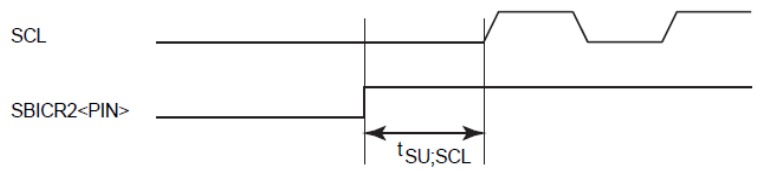


图 13-24 时序定义(No.2)

14 同步串行收发器(SIO)

SQ7653 产品具有同步时钟形态的高速 8 位串行接口，共有 2 个信道，其名称与地址可于下表对照查找。

	SIOxCR1 (地址)	SIOxCR2 (地址)	SIOxSR (地址)	SIOxBUF (地址)
SIO0	SIO0CR1	SIO0CR2	SIO0SR	SIO0BUF

表 14.1 SIO 寄存器清单

14.1 框图

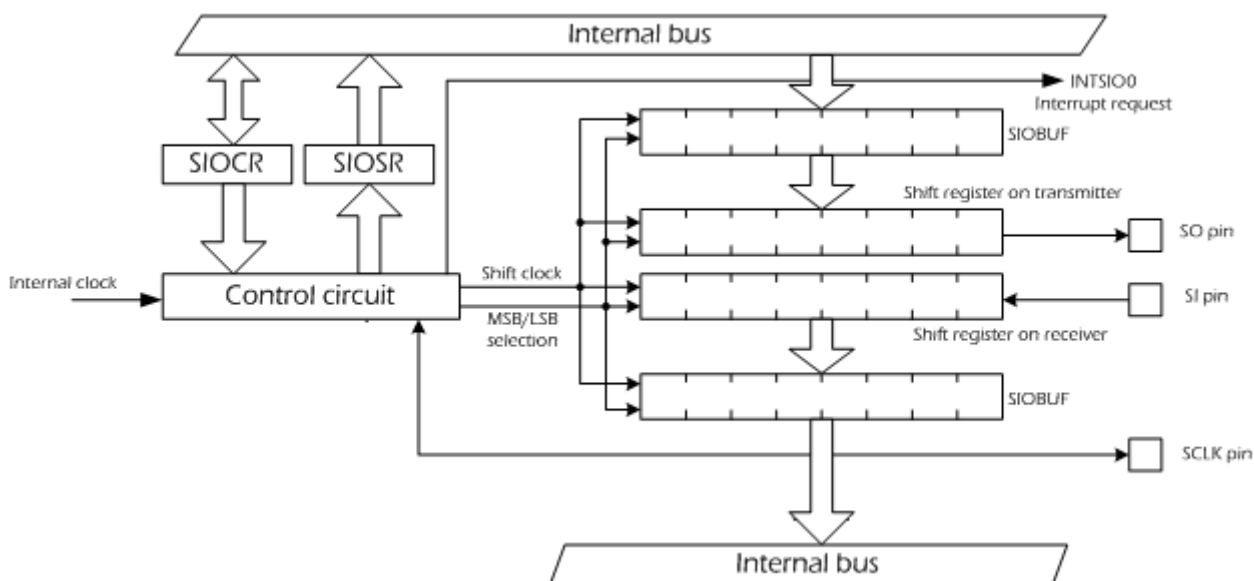


图 14.1 串行接口示意图

注: 此串行接口引脚也可作为通用 I/O 埠使用。当用做串行接口时，I/O 埠寄存器需要做相应的设定。

14.2 控制

同步串行接口 SIO 由外围电路时钟允许寄存器 2(PCKEN2)、串行接口控制寄存器(SIOxCR)、串行接口状态寄存器(SIOxSR)与串行接口缓存寄存器(SIOxBUF) 所控制。

寄存器	描述
PCKEN2	外围电路时钟允许寄存器 2
SIO0CR1	串行接口 0 控制寄存器 1
SIO0CR2	串行接口 0 控制寄存器 2
SIO0SR	串行接口 0 状态寄存器
SIO0BUF	串行接口 0 缓存寄存器

14.3 低功耗功能

串行接口有外围电路时钟允许寄存器(PCKEN2)，当没有使用串行接口时，可关闭所对应使用的时钟源，可以节省功耗。

将 PCKEN2<SIOx>设定为 0，可停止基础时钟对串行接口 x 的供应以节省能耗。须注意在此状况下串行接口将无法使用。将 PCKEN2<SIOx>设定为 1，可启动基础时钟对串行接口 x 的供应，并且允许串行接口进行运作。

重新设定复位后，PCKEN2<SIOx>被初始为“0”，且串行接口不可用。当第一次使用串行接口，请确保在初始化串行接口前将 PCKEN2<SIOx>设定为 1 (在串行接口控制寄存器运作之前)。

当串行接口运作时，请勿将 PCKEN2<SIOx>变更为“0”，否则串行接口将会不正常运作。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

14.4 功能

14.4.1 传送模式

传送模式可由 SIOxCR1<SIODIR> 设定为 MSB 优先或 LSB 优先。当 SIOxCR2<SIODIR> 设定为“0”时，将会以 LSB 优先为传送模式。此模式下，串行数据将由最低有效位开始传送。

当 SIOxCR1<SIODIR> 设为“1”时，将以 MSB 优先为传送模式。此模式下，串行数据将由最高有效位开始传送。

14.4.2 串行时钟

串行时钟可由 SIOxCR1<SIOCK> 选择。

将 SIOxCR1<SIOCKS> 设定为“000”到“110”，选择内部时钟做为串行时钟。此时，串行时钟从 SCLK 引脚输出。串行数据传送与 SCLK 引脚边沿输出同步。

将 SIOxCR1<SIOCKS> 设定为“111”，选择外部时钟做为串行时钟。此时，外部串行时钟将从 SCLK 引脚输入。串行数据传送与外部时钟边沿输出同步。

串行数据触发边沿可由外部时钟或者内部时钟选择。详细可参考 16.4.3 节触发边沿选择。

SIOxCR <SIOCKS>	Serial clock [Hz]		fsysclk =4MHz		fsysclk =8MHz		fsysclk =10MHz		fclk =32.768kHz	
	NORMAL1/2 or IDLE1/2 mode	SLOW1/2 or SLEEP1 mode	1-bit time (μs)	Baud rate (bps)	1-bit time (μs)	Baud rate (bps)	1-bit time (μs)	Baud rate (bps)	1-bit time (μs)	Baud rate (bps)
000	fsysclk/2 ⁹	-	128	7.813k	64	15.625k	51.2	19.531k	-	-
001	fsysclk/2 ⁶	-	16	62.5k	8	125k	6.4	156.25k	-	-
010	fsysclk/2 ⁵	-	8	125k	4	250k	3.2	312.5k	-	-
011	fsysclk/2 ⁴	-	4	250k	2	500k	1.6	625k	-	-
100	fsysclk/2 ³	-	2	500k	1	1M	0.8	1.25M	-	-
101	fsysclk/2 ²	-	1	1M	0.5	2M	0.4	2.5M	-	-
110	fsysclk/2	fclk/2 ³	0.5	2M	0.25	4M	0.2	5M	244	4k

表 14-1 传输速率(BAUD)

14.4.3 触发沿选择

由 SIOxCR1<SIOEDG>选择串行数据触发边沿。

SIOxCR1 <SIOEDG>	Data transmission	Data reception
0	Falling edge	Rising edge
1	Rising edge	Falling edge

表 14-2 传输触发沿选择

当 SIOxCR1<SIOEDG>为 0，数据传送与时钟下降沿同步，且数据接收与时钟上升沿同步。

当 SIOxCR1<SIOEDG>为 1，数据传送与时钟上升沿同步，且数据接收与时钟下降沿同步。

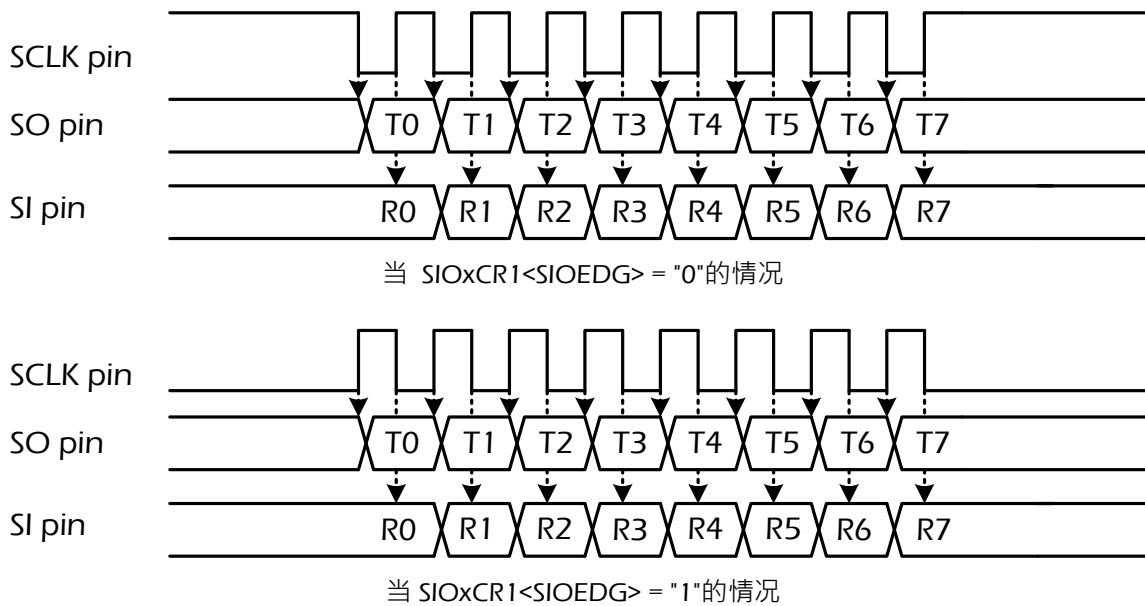


图 14-1 触发沿

注: 当使用外部时钟输入, 在接收第 8 个位与下一笔传送的第 1 个位的触发边沿的间隔须为 4/fsysclk 或更久。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

14.5 传送模式

14.5.1 8 位传送模式

将 SIOxCR1<SIOM> 设定为“01”，选择 8 位传送模式。

14.5.1.1 设定

开始传送工作前，由 SIOxCR1<SIOEDG> 选择触发边沿，SIOxCR1<SIODIR> 选择传送模式，SIOxCR1<SIOCKS> 选择串行时钟。若以内部时钟做为串行时钟，由 SIOxCR1<SIOCKS> 选取适合的串行时钟。要使用外部时钟做为串行时钟，则设定 SIOxCR1<SIOCKS> 为“111”。

将 SIOxCR1<SIOM> 设定为 01，可选择 8 位传送模式。

当传输数据第一个位字节写入 SIOxBUF，且将 SIOxCR1<SIOS> 设定为“1”，将启动传送工作。

当串行传输进行时或 SIOxSR<SIOF> 为 1 时，写入 SIOxCR1<SIOEDG, SIOCKS 与 SIODIR> 的数据将会是无效的。请在串行传输停止后再进行设定。

当串行传输进行时(SIOxSR<SIOF>="1")，只有 SIOxCR1<SIOM> 写入“00”或 SIOxCR1<SIOS> 写入“0”是有效的。

14.5.1.2 启动传输工作

传输工作在 SIOxBUF 写入数据且 SIOxCR1<SIOS> 设定为“1”后启动。传输数据从 SIOxBUF 转送移位内存，且依 SIOxCR1<SIOEDG, SIOCKS 和 SIODIR> 设定，串行数据由 SO 引脚传送。若 SIOxBUF 未写入任何数据就启动传送操作，则传送出的串行数据将不确定。

内部时钟工作，特定波特率的串行时钟将从 SCLK 引脚输出。外部时钟工作时，则需提供 SCLK 引脚外部时钟。

设定 SIOxCR1<SIOS> 为 1，SIOxSR<SIOF 与 SEF> 将自动设为“1”且将产生一个 INTSIOx 中断要求。

当串行数据的第 8 位输出时，SIOxSR<SEF> 将被清除为“0”。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

14.5.1.3 传输缓存与移位(shift)运算

当串行传输进行中且移位寄存器为空时，往 SIOxBUF 写入的数据将马上被传送到移位寄存器。此时 SIOxSR<TBFL>维持为 0。

如果数据写入 SIOxBUF，且移位寄存器中仍有数据时，SIOxSR<TBFL>将设定为“1”。此状态下有新数据写入 SIOxBUF，则原数据会被新数据取代。在数据写入 SIOxBUF 之前，请确认 SIOxSR<TBFL>为“0”。

14.5.1.4 传输完成后的操作

传输完成后的操作，跟工作时钟与 SIOxSR<TBFL>状态相关。

(a) 当使用内部时钟且 SIOxSR<TBFL>为“0”的情况

当数据传输完成时，SCLK 引脚将回到初始状态且 SO 引脚为高电平，SIOxSR<SEF>维持“0”。当使用内部时钟，串行时钟与数据输出将停止直到下一个传输数据写入 SIOxBUF(自动等待)。

接下来的数据被写入 SIOxBUF，SIOxSR<SEF>将为“1”，SCLK 引脚输出串行时钟且重新启动传送操作。在重新启动传送时，INTSIOx 将会产生一个中断要求。在重新启动传送操作时，将会产生一个 INTSIOx 中断要求。

(b)当使用外部时钟且 SIOxSR<TBFL>为“0” 的情况

当数据传输完成，SO 引脚会维持为最后一个位输出数据的状态。当数据传输完成后，一个外部串行时钟输入 SCLK 引脚，则会传送一未定义的数值，此时运作欠载错误标志 SIOxSR<UERR>为 1。

如果传输欠载运行错误发生，此未被定义的数据将不会被写入 SIOxBUF。(建议用户将 SIOxCR<SIOS>设定为“0”，以结束传输工作；或者将 SIOxCR1<SIOM>设定为“00”，强制停止传送。)

执行读取 SIOxSR 操作后，传送欠载运行的错误标志 SIOxSR<UERR>会自动清除。

(c)当使用内部时钟或外部时钟且 SIOxSR<TBFL>为“1” 的情况

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

数据传输完成后，SIOxSR<TBFL>被清除为“0”。SIOxBUF 的数据被传送到移位寄存器且开始进行后续数据传送。此时 SIOxSR<SEF>变为“1”且将产生一个 INTSIOx 中断要求。

16.4.1.5 停止传输工作

将 SIOxCR1<SIOS>设为“0”可停止数据传输。当 SIOxSR<SEF>为“0”或移位操作没有进行时，发送将立即停止并产生一个 INTSIOx 中断要求。当 SIOxSR<SEF>为“1”，所有移位寄存器数据被传输后，数据传输将停止。

当发送工作完成后，SIOxSR<SIOF, SEF 与 TBFL>被清除为“0”，其他 SIOxSR 寄存器仍维持原本数值。

传输工作进行时，将 SIOxCR<SIOM>设定为“00”，可强制停止传送。将 SIOxCR<SIOM>设为“00”，SIOxCR<SIOS>与 SIOxSR 会清除为“0”，且 SIO 停止工作，SIOxSR<SEF>的数值将不被考虑。SO 引脚将为高电平。若选择内部时钟，SCLK 引脚将重回初始电平。

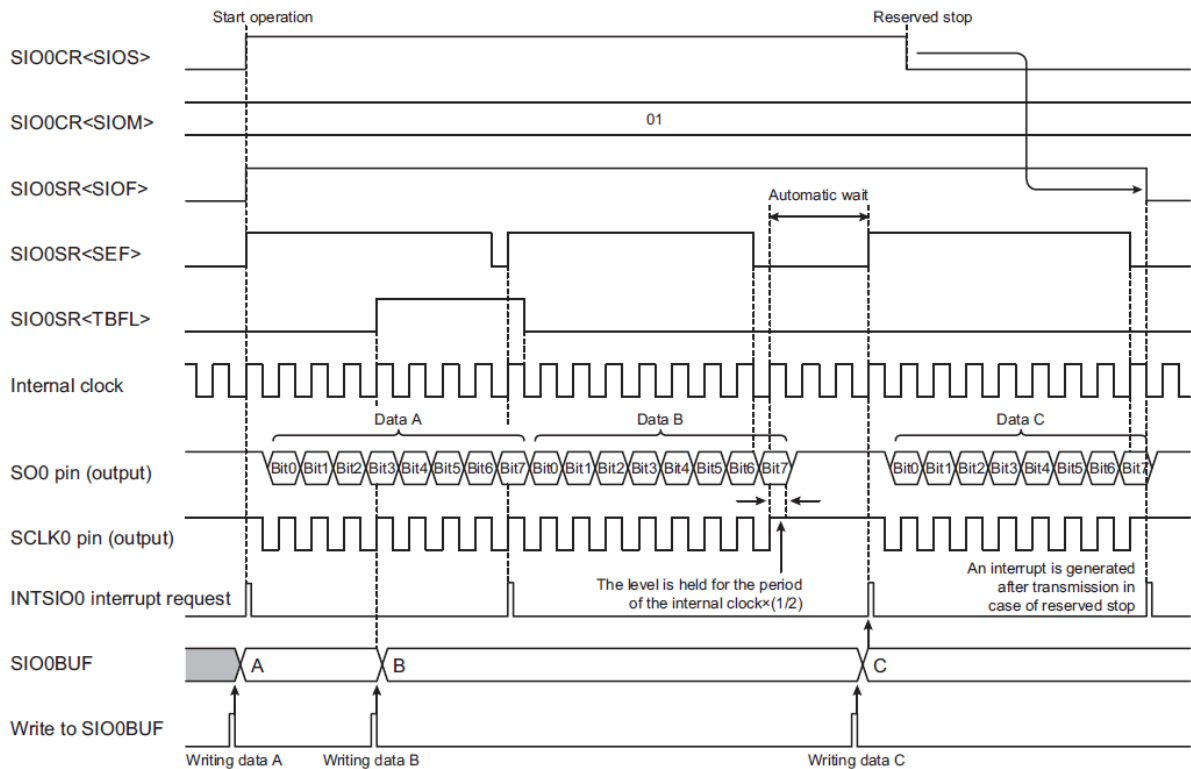


图 14-28 位元传送模式(内部时钟且预定停止)

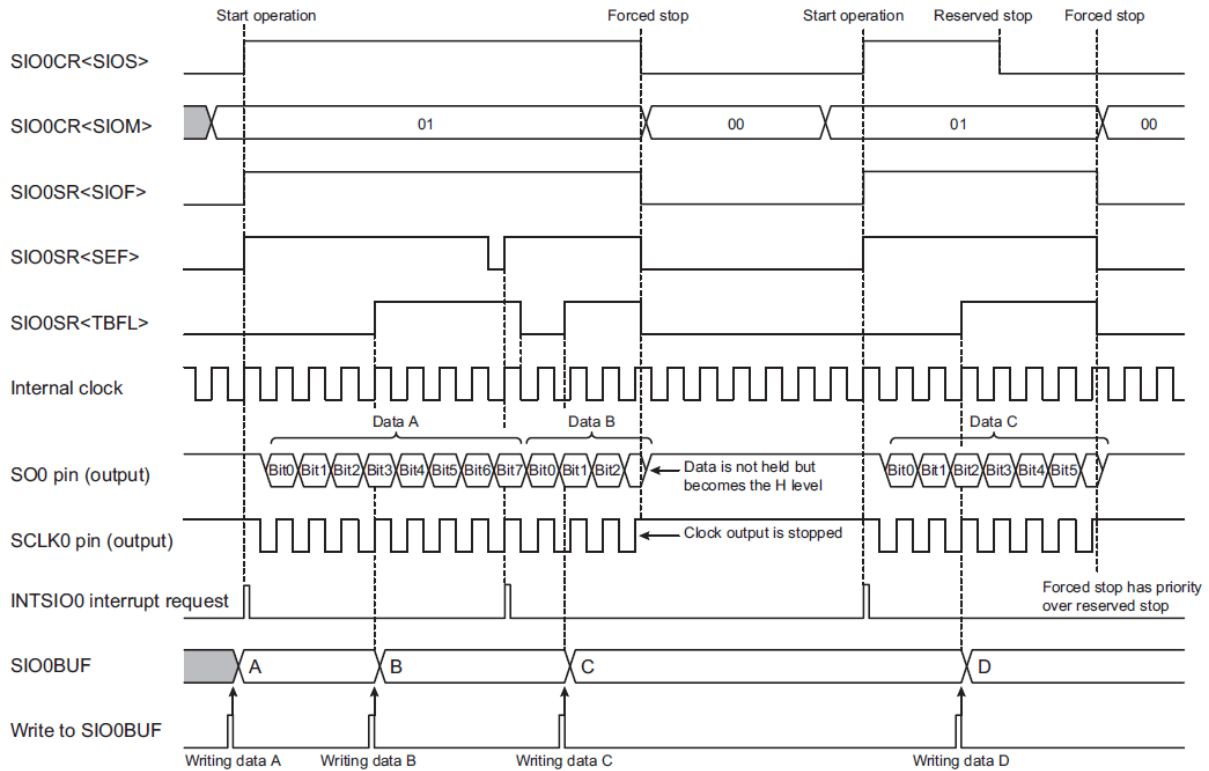


图 14-3 8 位元传送模式(内部时钟且强制停止)

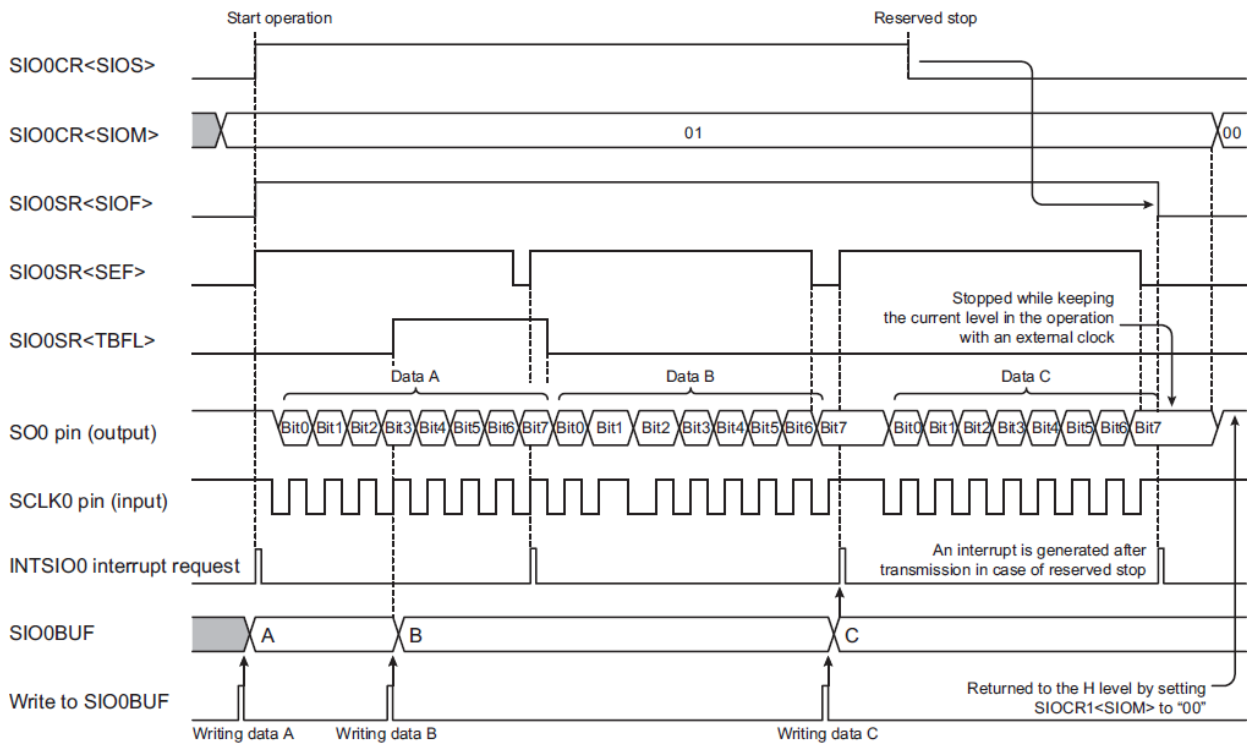


图 14-4 8 位元传送模式(内部时钟且预约停止)

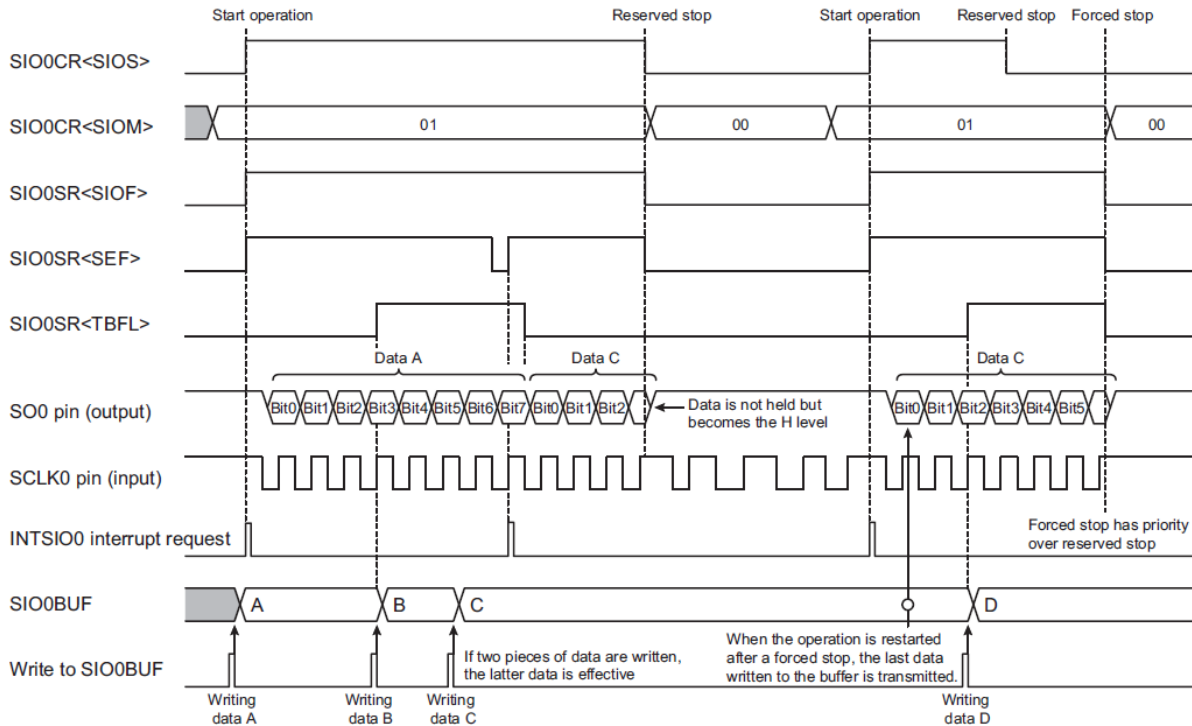


图 14-58 位元传送模式(外部时钟且强制停止)

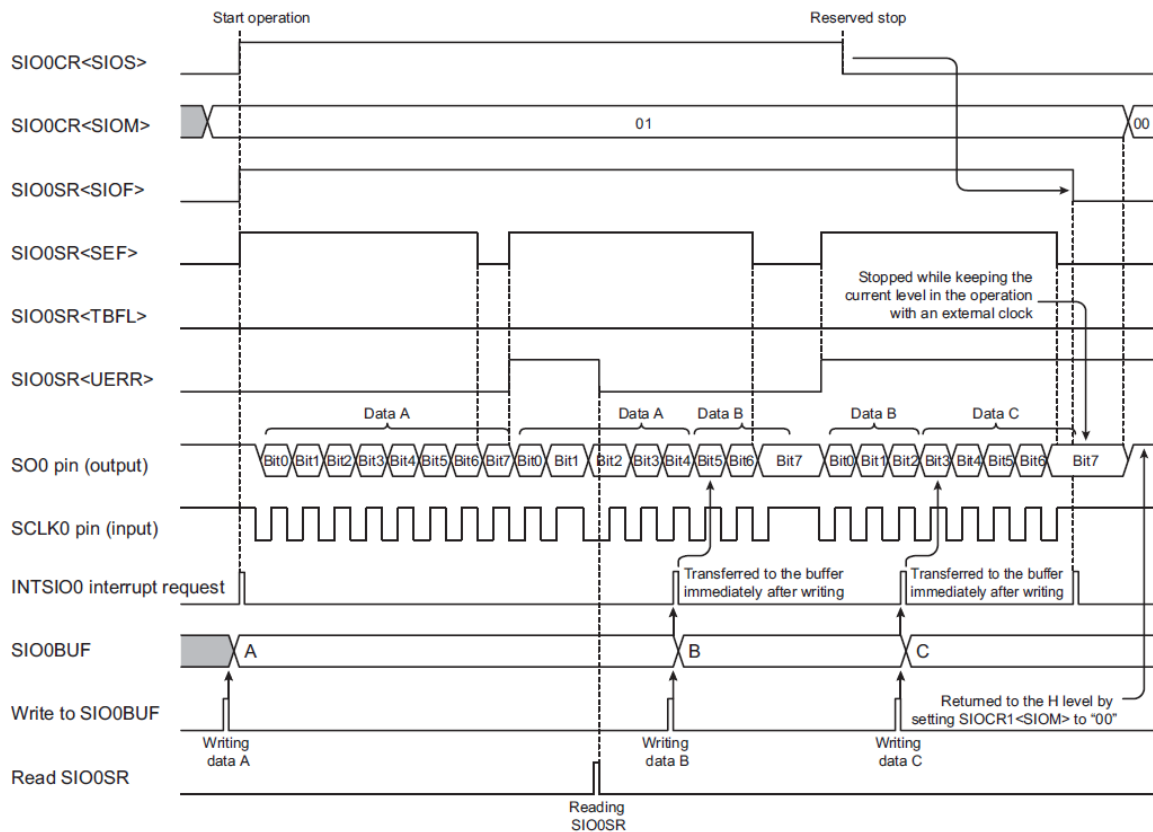


图 14-68 位元传送模式(外部时钟溢出错误发生)

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

14.5.2 8 位接收模式

将 SIOxCR1<SIOM> 设为“10”可选择 8 位接收模式。

14.5.2.1 设定

此传输模式，在开始接收数据前，在 SIOxCR1<SIOEDG> 选择触发边沿，SIOxCR1<SIODIR> 选择传送模式且 SIOxCR1<SIOCKS> 选择串行时钟。若要使用内部时钟做为串行时钟，在 SIOxCR1<SIOCKS> 选择适合的串行时钟。若要使用外部时钟做为串行时钟，将 SIOxCR1<SIOCKS> 设定为“111”。

将 SIOxCR1<SIOM> 设为“10”，以选择 8 位接收模式。

当 SIOxCR1<SIOS> 为 1 时，开始接收工作。

当串行传输进行或是 SIOxSR<SIOF> 为“1”时，写入 SIOxCR1<SIOEDG, SIOCKS 与 SIODIR> 的数据将会是无效的。请在串行传输停止后再进行设定。当串行传输进行时 (SIOxSR<SIOF> = “1”)，只有在 SIOxCR1<SIOM> 写入“00”或是 SIOxCR1<SIOS> 写入“0”会是有效的。

14.5.2.2 启动接收工作

当 SIOxCR1<SIOS> 设为“1”时，开始接收工作。根据 SIOxCR1<SIOEDG, SIOCKS 与 SIODIR> 设定，外部串行数据将从 SI 引脚被写入移位寄存器。

内部时钟运作，指定波特率的串行时钟从 SCLK 引脚输出；外部时钟工作时，则需提供 SCLK 引脚外部时钟。

当 SIOxCR1<SIOS> 设为“1”，SIOxSR<SIOF 与 SEF> 将自动设为“1”。

14.5.2.3 完成接收时的工作

当数据接收完成后，数据将从移位寄存器传送到 SIOxBUF，且会产生一个 INTSIOx 中断要求。接收完成标志 SIOxSR<RENDB> 会变为“0”。

内部时钟工作时，串行时钟输出将停止，直到接收数据从 SIOxBUF 被读取。同时 SIOxSR<SEF> 会变为“0”。从 SIOxBUF 读取所接收数据后，SIOxSR<SEF> 会变为“1”，串行时钟输出会重新启动且会持续接收工作。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

使用外部时钟工作时，即使不读取 SIOxBUF，数据也会持续接收。这种情况下，在后续的数据接收完成前必须读取 SIOxBUF。如果后续数据完全被接收，才读取 SIOxBUF，此数据溢出错误标志 SIOxSR<OERR>将为“1”。当数据溢出错误发生，将 SIOxCR1<SIOM>设为“00”以中止接收工作。在数据溢出错误发生时，接收到的数据将被丢弃，SIOxBUF 将保留数据溢出发生前所接收的数据。

读取 SIOxBUF 数据，SIOxSR<RENDB>将被清除为“0”。读取 SIOxSR 数据，SIOxSR<OERR>将被清除。

14.5.2.4 停止接收工作

设定 SIOxCR1<SIOS>为“0”以停止接收运作。当 SIOxSR<SEF>为“0”或当移位操作没有进行时，接收会立即停止。与传送模式不同，此情况下，不会产生 INTSIOx 中断要求。

强制停止接收模式，可在工作时将 SIOxCR1<SIOM>设为“00”。设定 SIOxCR1<SIOM>为“00”，SIOxCR1<SIOS>与 SIOxSR 会被清除为“0”且 SIO 停止作业时，而与 SIOxSR<SEF>的值无关。若选择内部时钟，SCLK 引脚将回到初始电平。

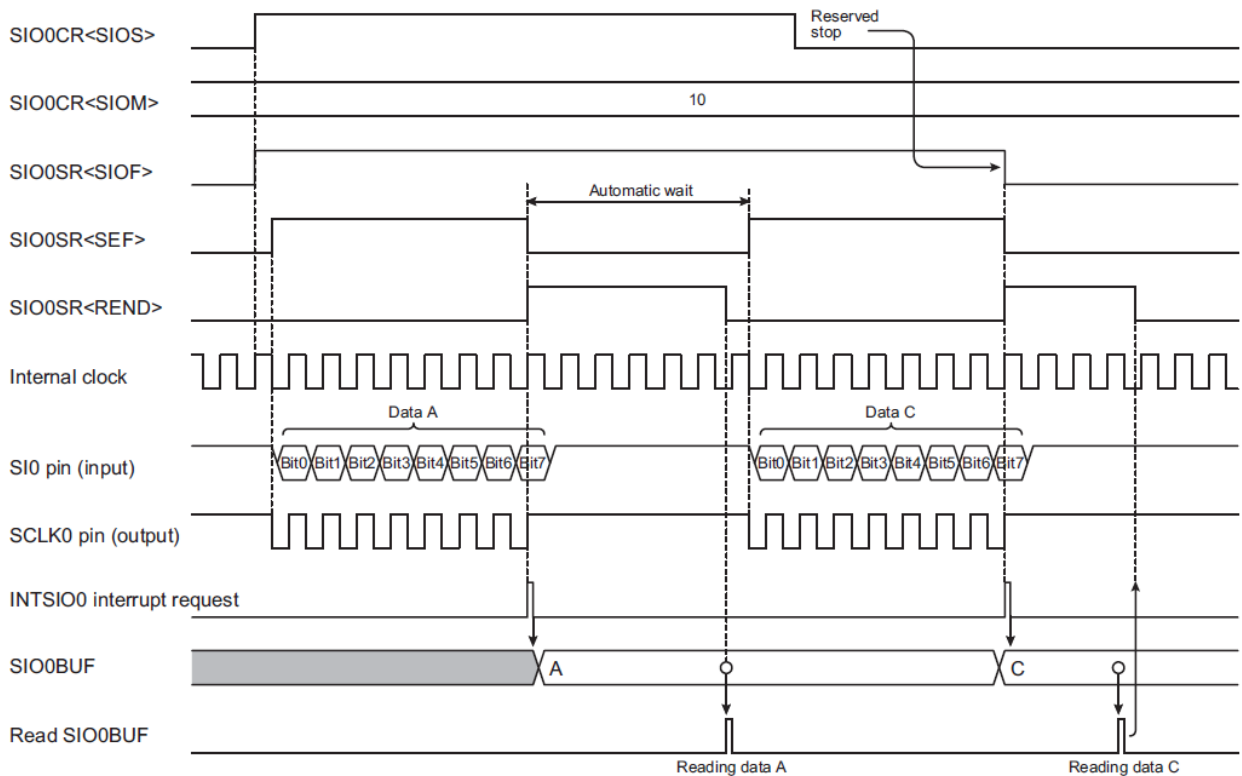


图 14- 7 8 位接收模式(内部时钟且预约停止)

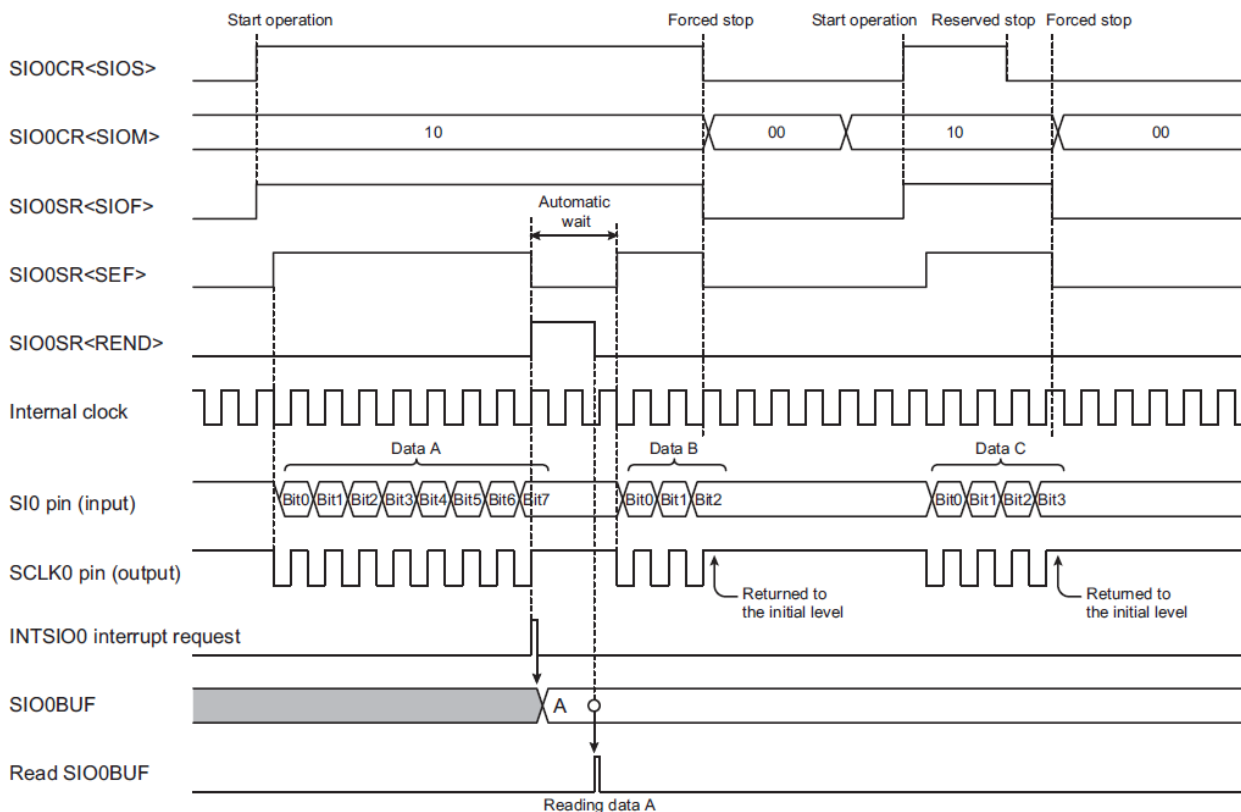


图 14-8 8 位接收模式(内部时钟且强制停止)

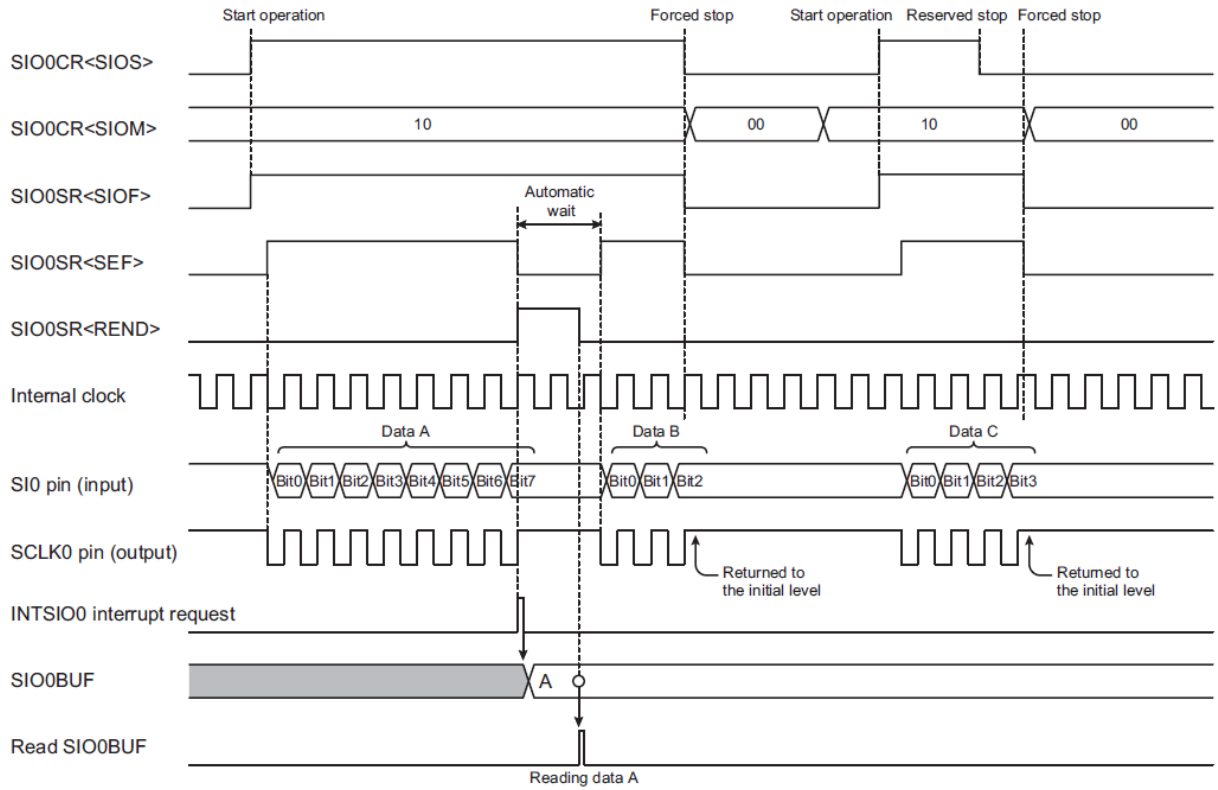


图 14-9 8 位接收模式(外部时钟且预约停止)

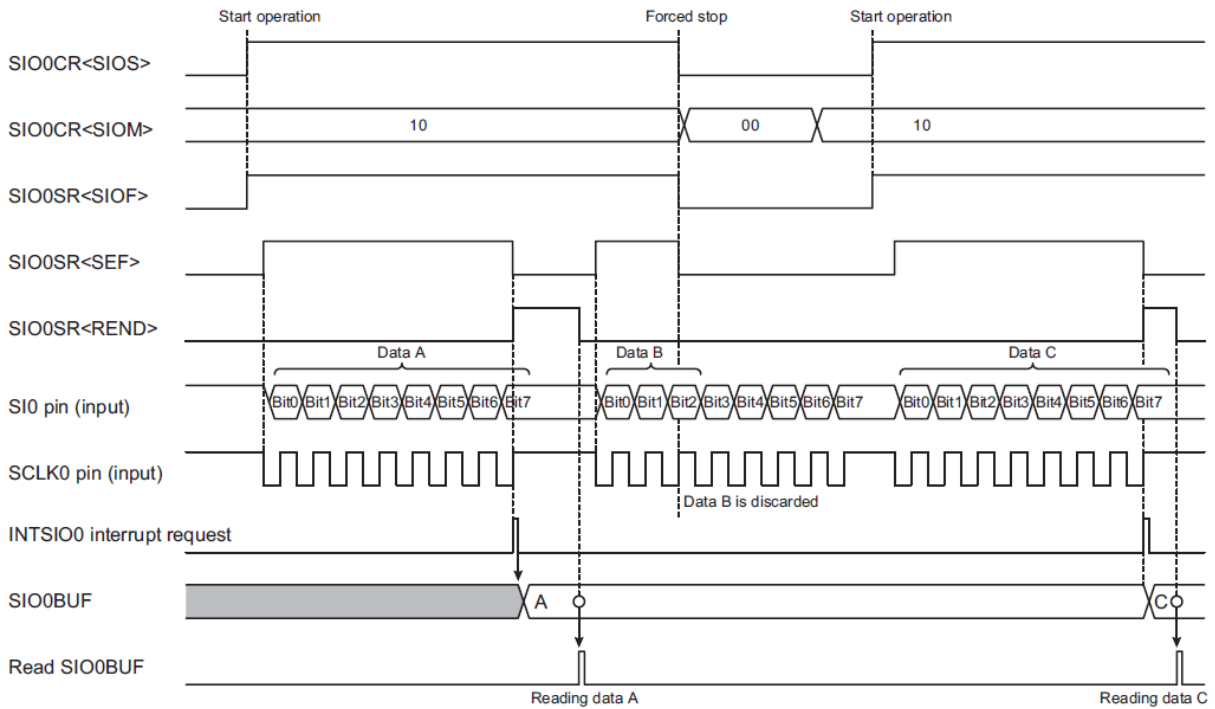


图 14-10 8 位接收模式(外部时钟且强制停止)

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

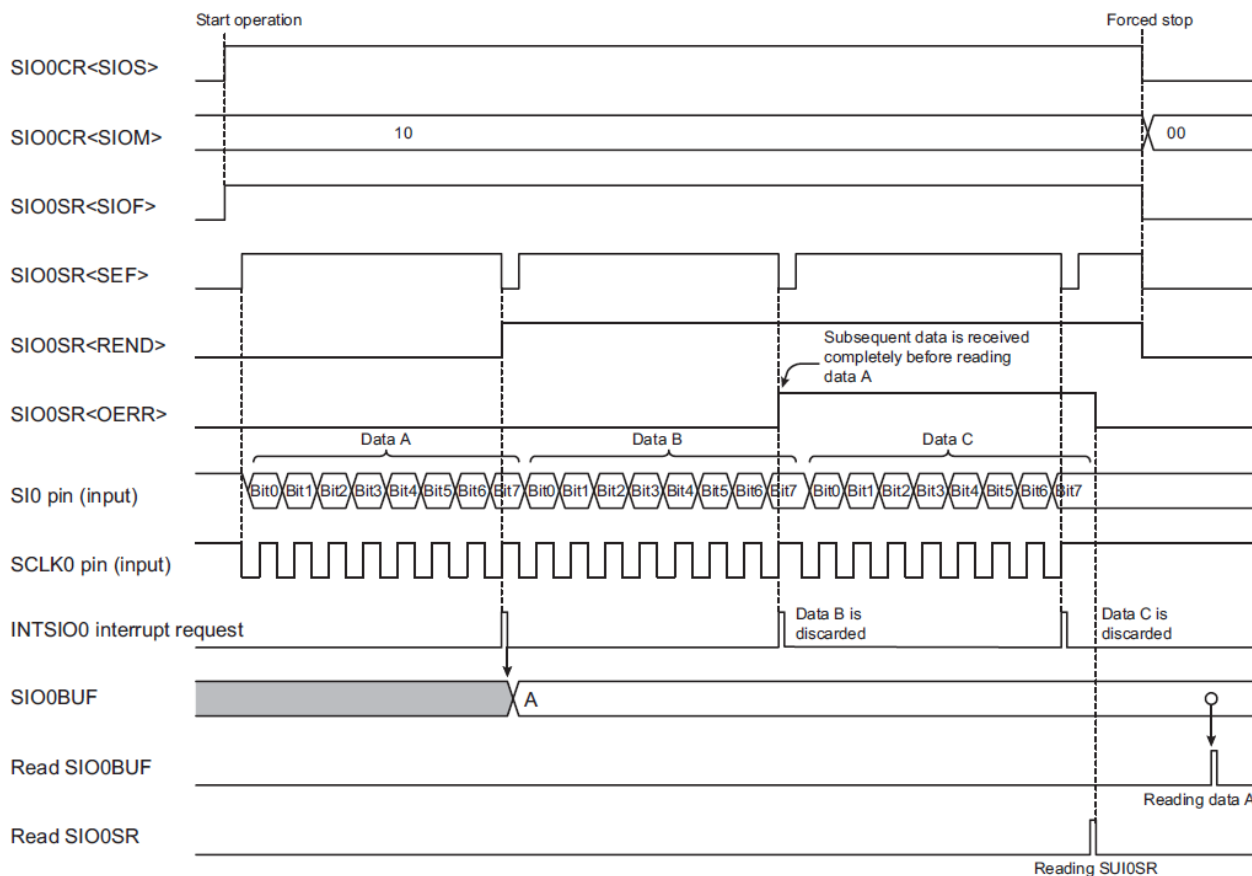


图 14-11 8 位接收模式(外部时钟与溢出错误发生)

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

14.5.3 8 位传送/接收模式

将 SIOxCR1<SIOM>设定为“11”，选择 8 位传送/接收模式。

14.5.3.1 设定

启动发送/接收作业前，由 SIOxCR1<SIOEDG>选择触发边沿，SIOxCR1<SIODIR>的传送模式和 SIOxCR1<SIOCKS>串行时钟。使用内部时钟做为串行时钟，由 SIOxCR1<SIOCKS>选择一个适合的时钟。使用外部时钟做为串行时钟，将 SIOxCR1<SIOCKS>设为“111”。

透过设定 SIOxCR1<SIOM>为“11”，选择 8 位发送/接收模式。

向 SIOxBUF 写入一个字节组数据且设定 SIOxCR1<SIOS>为“1”后，将会启动发送/接收操作。

当串行传输进行 SIOxSR<SIOF>为“1”时，数据写入 SIOxCR1<SIOEDG, SIOCKS 与 SIODIR>将会是无效的。请在串行传输停止后再进行设定。当串行传输进行时(SIOxSR<SIOF>="1")，只有写入“00”到 SIOxCR1<SIOM>或写入“0”到 SIOxCR1<SIOS>会是有效的。

14.5.3.2 启动传送/接收工作

当 SIOxBUF 写入数据且 SIOxCR1<SIOS>设为“1”时，发送/接收工作将启动。发送数据由 SIOxBUF 到移位寄存器，且依据 SIOxCR1<SIOEDG, SIOCKS 与 SIODIR>设定，串行数据从 SO 引脚开始发送。同时，根据 SIOxCR1<SIOEDG, SIOCKS 与 SIODIR>设定，从 SI 引脚开始接收串行数据。

内部时钟工作时，指定波特率的串行时钟从 SCLK 引脚输出；外部时钟工作时，则需提供 SCLK 引脚外部时钟。

若发送/接收工作开始时，且没有任何发送数据写入 SIOxBUF，则发送的数据将无法被辨识。

设定 SIOxCR1<SIOS>为“1”，SIOxSR<SIOF 与 SEF>将自动设为“1”且将产生一个 INTSIOx 中断请求。

当接收到数据的第 8 个 bit 时，SIOxSR<SEF>将清除为“0”。

14.5.3.3 发送缓存与移位(shift)工作

当串行传输进行中且移位寄存器是空的时候，任何数据写入 SIOxBUF 都将会立即传送到移位寄存器。同时 SIOxSR<TBFL>维持为“0”。

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

当移位寄存器仍留有一些数据，SIOxSR<TBFL>被硬件设为“1”，此状态下，有新数据写入 SIOxBUF，SIOxBUF 将会写入新的资料。请确保新数据写入 SIOxBUF 之前，SIOxSR<TBFL>须为“0”。

14.5.3.4 完成发送/接收工作

数据发送/接收完成时，SIOxSR<RENDB>为“0”且产生一个 INTSIOx 中断要求。依据工作时钟，会有不同的工作状态。

(a) 使用内部时钟

如果 SIOxSR<TBFL>为“1”，将 SIOxSR<RENDB>清除为“0”，且发送/接收工作持续进行。如果 SIOxSR<RENDB>已为“0”，则 SIOxSR<OERR>为“1”。

SIO0SR<TBFL>设为“0”，传送/接收作业将停止。SCLK 引脚将回到初始状态且 SO 引脚变为高电平。SIO0SR<SEF>维持为“0”。当后续数据写入 SIO0BUF，SIO0SR<SEF>被硬件配置为“1”，SCLK 输出时钟且传送/接收作业将重新启动。要重新确认接收的数据，在 SIO0BUF 写入数据前，读取 SIO0BUF。

(b) 使用外部时钟

发送/接收工作进行时。如果外部串行时钟输入，且没有任何数据写入 SIOxBUF，则会反复传送最后写入 SIOxBUF 的数据。同时，传送欠载运作错误标志 SIOxSR<UERR>将为“1”。

在下一个 8 位数据完全接收前未完成 SIOxBUF 的读取，或者 SIOxSR<RENDB>为“0”时，SIOxSR<OERR>将为“1”。

16.4.3.5 停止发送/接收工作

将 SIOxCR1<SIOS>设为“0”，可停止传送/接收作业。当 SIOxSR<SEF>为“0”或者当移位操作未进行时，工作将立刻被停止。

当 SIOxSR<SEF>为“1”，在 8 位数据完全被接收后，此工作将停止。

当工作完全停止后，SIOxSR<SIOF, SEF 与 TBFL>将清除为“0”。其他 SIO0SR 内存将维持原本的数据。

在发送/接收工作进行时将SIOxCR1<SIOM>设为“00”可强制停止发送/接收工作。当SIOxCR1<SIOM>设定为“00”，且SIOxCR1<SIOS>与SIOxSR清除为“0”，SIO作业停止，不管SIOxSR<SEF>数值。SO引脚将为高电平。选择内部时钟时，SCLK引脚将回到初始电平。

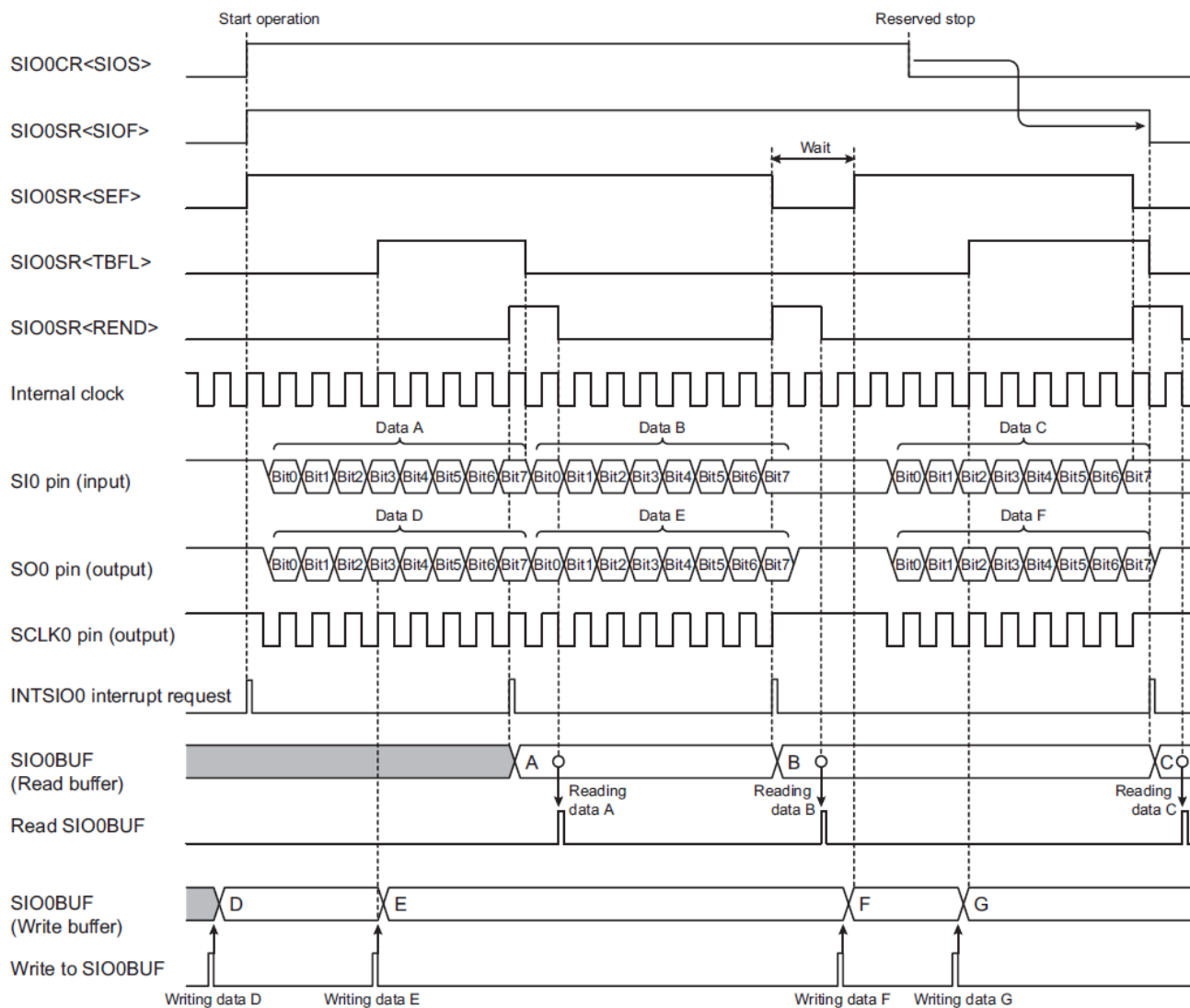


图 14- 12 8 位发送/接收模式(内部时钟且预约停止)

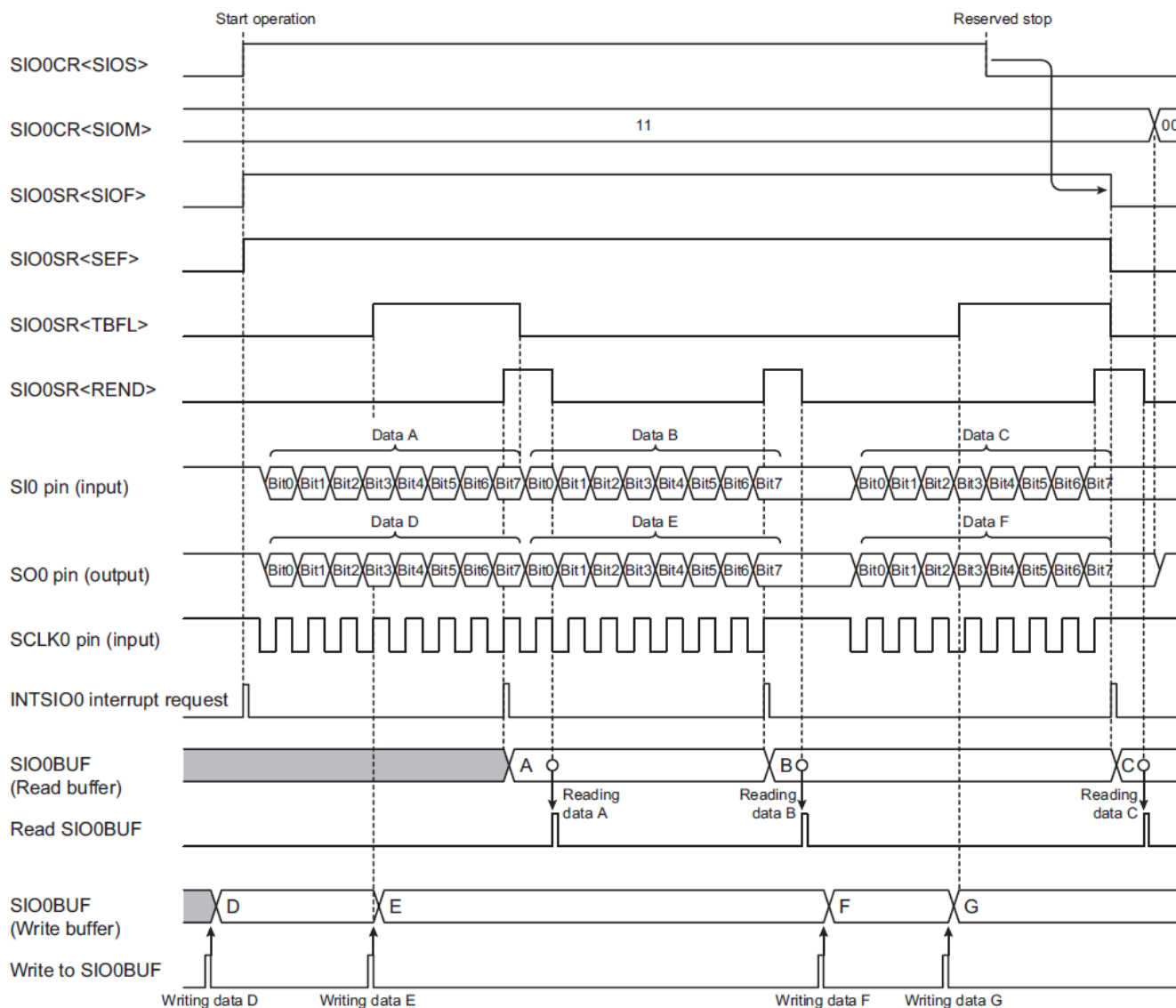


图 14- 138 位发送/接收模式(外部时钟且预约停止)

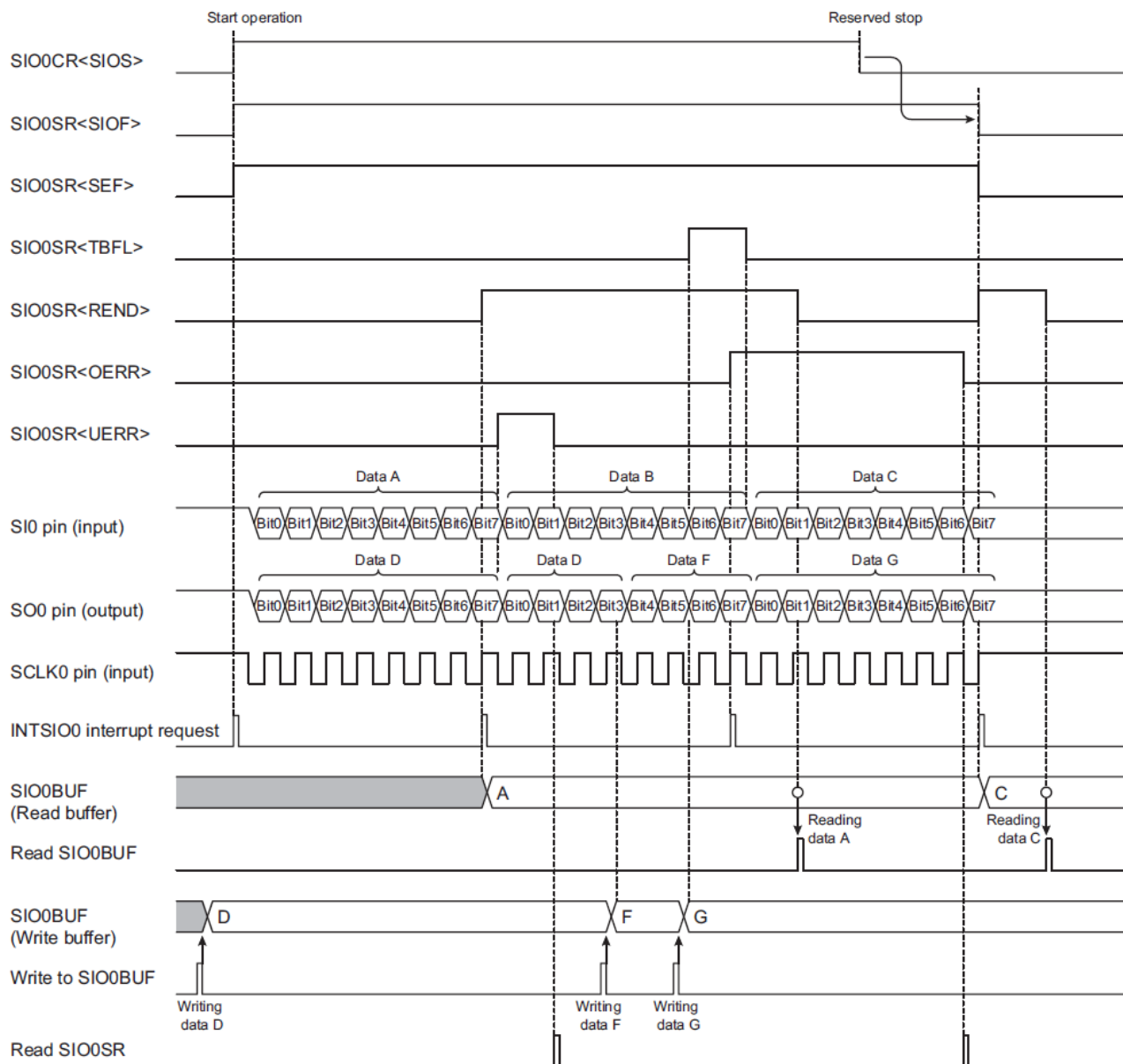


图 14-14 8 位发送/接收模式(外部时钟，数据欠载错误与数据溢写错误发生)

14.6 AC 特性

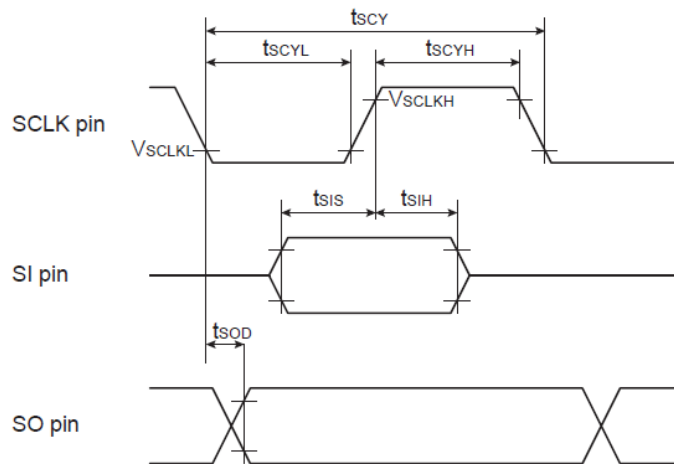


图 14-15 AC 特性图

V_{ss}=0, V_{DD}=4.5V-5.5V, Topr=40~85°C

Parameter	Symbol	Condition	Min	Typ	Max	Unit
SCLK cycle time	t _{SCY}	Internal clock operation SO pin and SCLK pin load capacity= 100pF	2/fsysclk	-		ns
SCLK"L" pulse width	t _{SCYL}		1/fsysclk	-		
SCLK"H" pulse width	t _{SCYH}		1/fsysclk	-		
SI input setup time	t _{SIS}		60	-		
SI input hold time	t _{SIH}		35	-		
SO output delay time	t _{SOD}		-50	-	50	
SCLK cycle time	t _{SCY}	External clock operation SO pin and SCLK pin load capacity= 100pF	2/fsysclk	-		ns
SCLK"L" pulse width	t _{SCYL}		1/fsysclk	-		
SCLK"H" pulse width	t _{SCYH}		1/fsysclk	-		
SI input setup time	t _{SIS}		50	-		
SI input hold time	t _{SIH}		50	-		
SO output delay time	t _{SOD}		0	-	60	
SCLK low-level input voltage	t _{SCKL}		0	-	V _{DD} × 0.30	V
SCLK high-level input voltage	t _{SCKH}		V _{DD} × 0.70	-	V _{DD}	

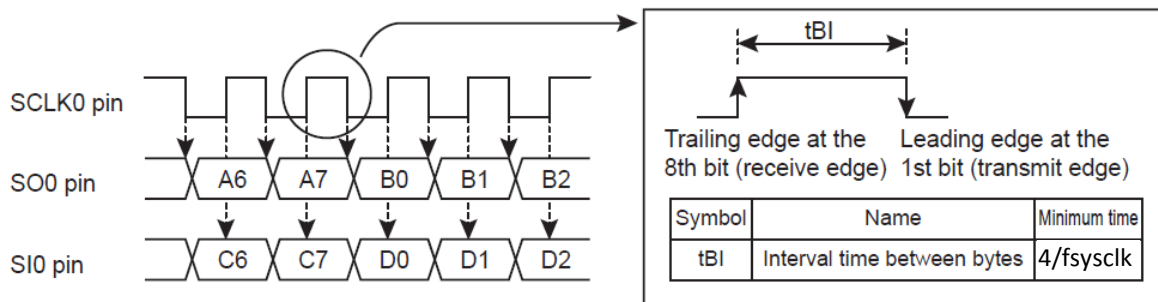


图 14-16 字节间的时间间隔

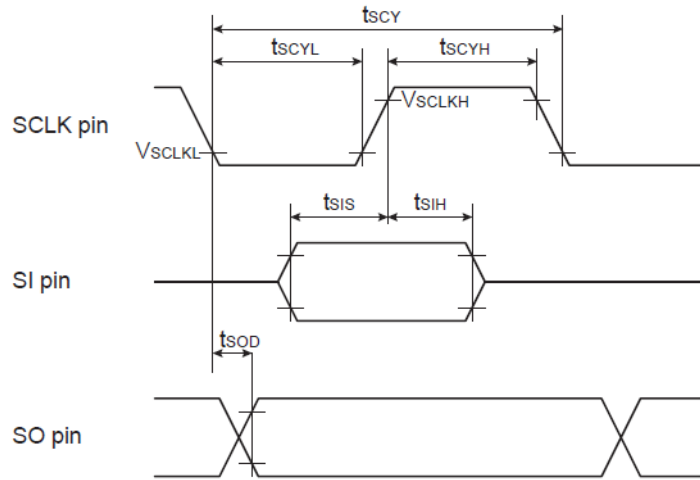


图 14.16 AC 特性图

($V_{SS} = 0\text{ V}$, $V_{DD} = 4.5\text{ V} - 5.5\text{ V}$, $T_{opr} = -40\text{ to }85^\circ\text{C}$)

Parameter	Symbol	Condition	Min	Typ.	Max	Unit
SCLK cycle time	t_{scy}	Internal clock operation SO pin and SCLK pin load capacity=100 pF	$2/f_{sysclk}$	-	-	ns
SCLK "L" pulse width	t_{scyL}		$1/f_{sysclk}$ -25	-	-	
SCLK "H" pulse width	t_{scyH}		$1/f_{sysclk}$ -15	-	-	
SI input setup time	t_{sis}		60	-	-	
SI input hold time	t_{sih}		35	-	-	
SO output delay time	t_{sod}		-50	-	50	
SCLK cycle time	t_{scy}	External clock operation SO pin and SCLK pin load capacity=100 pF	$2/f_{sysclk}$	-	-	
SCLK "L" pulse width	t_{scyL}		$1/f_{sysclk}$	-	-	
SCLK "H" pulse width	t_{scyH}		$1/f_{sysclk}$	-	-	
SI input setup time	t_{sis}		50	-	-	
SI input hold time	t_{sih}		50	-	-	
SO output delay time	t_{sod}		0	-	60	
SCLK low-level input voltage	t_{SCLKL}		0	-	$V_{DD} \times 0.30$	V
SCLK high-level input voltage	t_{SCLKH}		$V_{DD} \times 0.70$	-	V_{DD}	

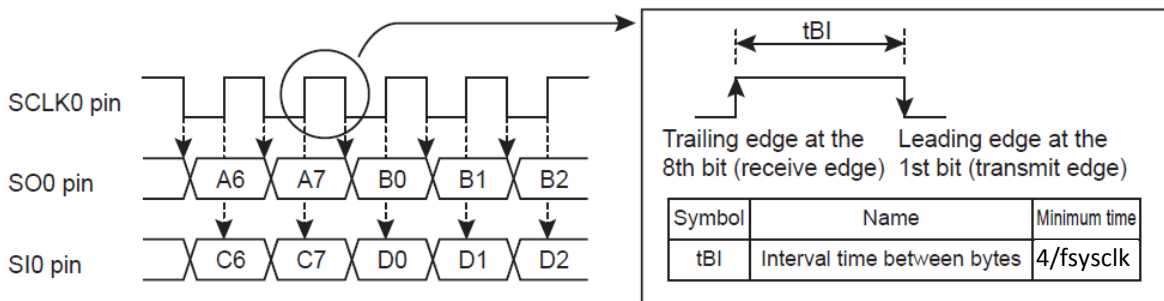


图 14.17 字节间的时间间隔

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

15 雙信道内存(DUAL OPERATION FLASH MEMORY)

15.1 功能

IC 具备双信道内存,由 Code Flash (48K Bytes)和 Data Flash (8K Bytes)组成。当程序在另一区执行时,可对本区进行烧写和擦除,同时即使对另一区进行烧写或擦除时也可以读取本区的数据。

以下方式可用于写入/擦除数据 Flash 内存

- 使用专用的 serial programmer 进行写入/擦除
- 透过程序执行进行写入/擦除功能

因为双信道 Flash,可由 CPU 指令透过内存电路,程序软件与数据可以有效更新于板上。

透过 RAM 的程序运行或双信道的 Flash 程序运行,可进行数据更新。擦除/写入与读取可同时在不同的 bank 值行(upper bank-Code Flash/lower bank-Data Flash)。

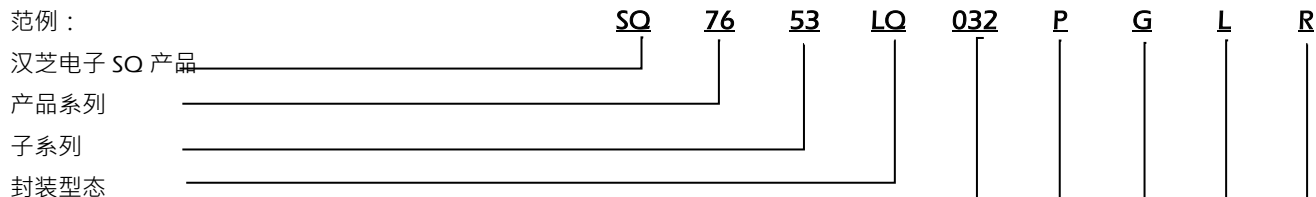
双信道内存可使用以下组合

Code Flash	Data Flash
读取	
读取	写入/区块擦除
写入/区块擦除	读取
芯片擦除	
区块擦除(暂停擦除)	写入
写入	区块擦除(暂停擦除)

Document No. : TD01-01-S7653-01	Document Name : SQ7653 中文使用说明书	Version : V0.1
---------------------------------	--------------------------------	----------------

附录 A. 产品型号信息

范例：



代码	封装	代码	封装
ST	SOT23	SD	SDIP
SP	SOP	LQ	LOFP 7x7
MS	MSOP	LA	LOFP 10x10
SS	SSOP	LE	LOFP 14x14
DP	PDIP	N4	QFN 4x4
TS	TSOP	N5	QFN 5x5
DS	TSSOP		

脚位数

代码	封装	代码	封装
005	5	032	32
006	6	036	36
008	8	040	40
010	10	044	44
014	14	048	48
016	16	064	64
020	20	080	80
024	24	096	96
028	28	100	100

程序内存容量 _____

数据内存容量 _____

数据存储容量 _____

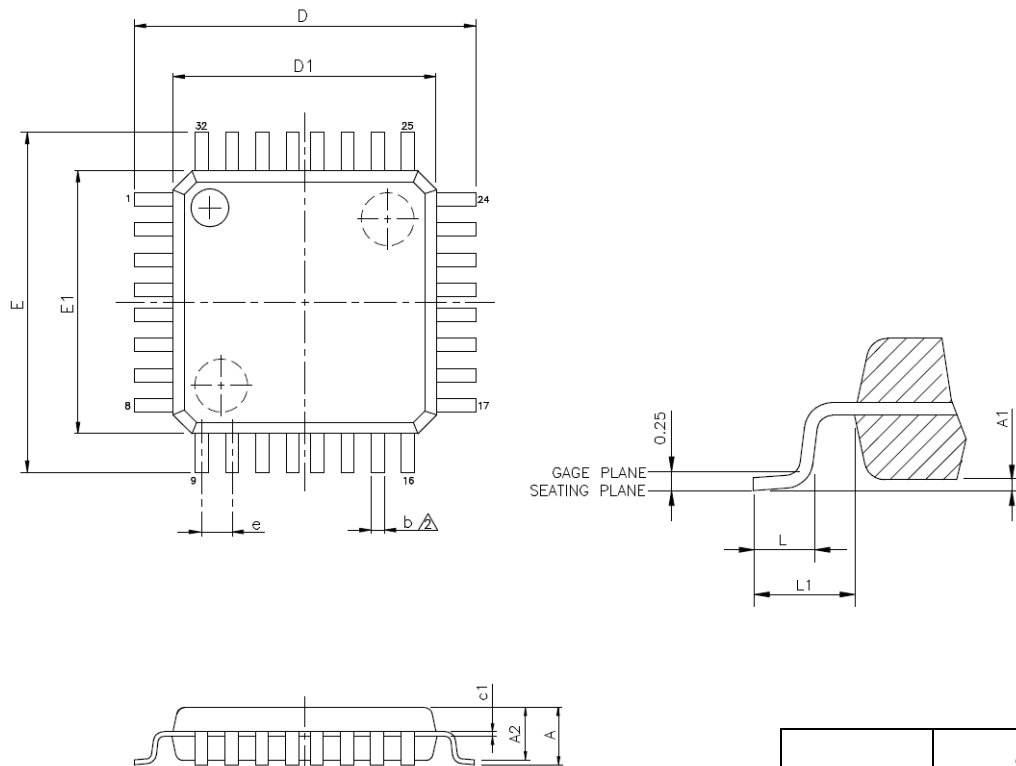
代码	程序/数据存储容量	代码	程序/数据存储容量
A	128 Bytes	K	24K Bytes
B	256 Bytes	M	32K Bytes
E	512 Bytes	N	40K Bytes
J	1K Bytes	P	48K Bytes
L	2K Bytes	S	64K Bytes
T	4K Bytes	U	96K Bytes
G	8K Bytes	W	128K Bytes
C	12K Bytes	V	无
H	16K Bytes		

工作温度

代码	工作温度
R	-40~85°C
X	-40~105°C
T	-40~125°C

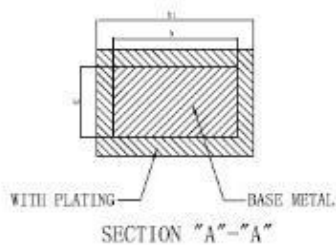
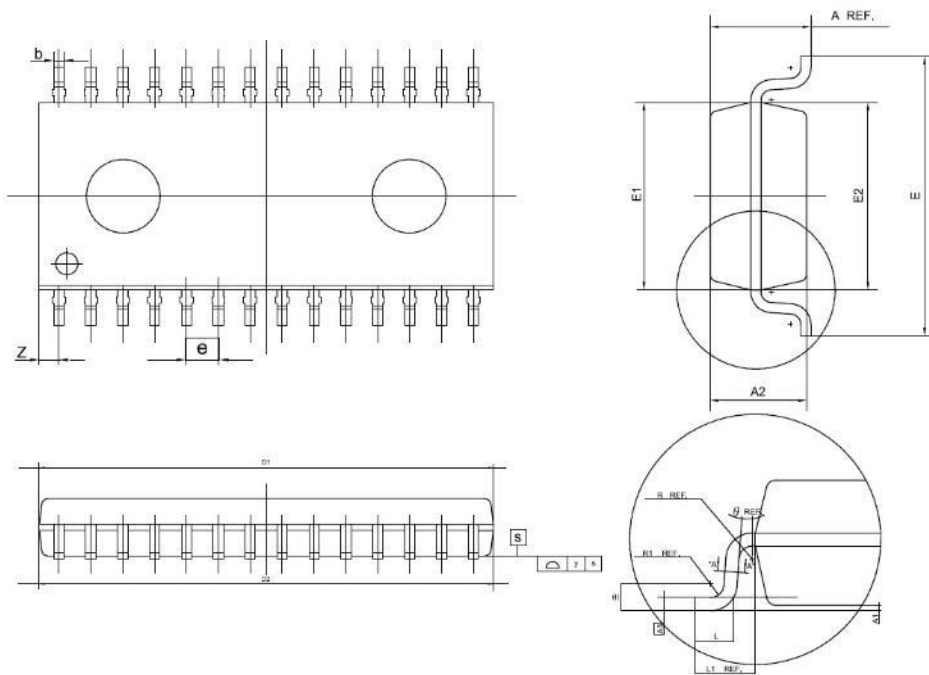
附录 B. 封装信息

LQFP32 7x7



Symbol	MILLIMETER	
	MIN	MAX
A	—	1.6
A1	0.05	0.15
A2	1.35	1.45
c1	0.09	0.16-
D	9.00 BSC	
D1	7.00 BSC	
E	9.00 BSC	
E1	7.00 BSC	
e	0.8 BSC	
b	0.30	0.45-
L	0.45	0.75
L1	1 REF	

SOP 28



标号	毫米		
	最小值	典型值	最大值
A	2.465	2.515	2.565
A1	0.10	0.15	0.20
A2	2.1	2.3	2.5
A3	-	0.274	-
B	0.356	0.406	0.456
b1	0.366	0.426	0.486
C	-	0.254	-
D1	17.750	17.950	18.150
D2	17.8	18.0	18.2
E	10.1	10.3	10.500
E1	7.374	7.450	7.574
E2	7.424	7.500	7.624
e	-	1.270	-
L	0.764	0.864	0.964
L1	1.303	1.403	1.503
R	-	0.2	-
R1	-	0.3	-
θ	0	-	-
θ1	0	-	10°
y	-	-	0.1
Z	-	0.745	-