

汉芝电子股份有限公司

iMQ Technology Inc.

Document No. : TD01-01-M6823-01	Document Name : MQ6823 中文产品规格书	Version : V1.1
---------------------------------	--------------------------------	----------------

MQ6823

简易中文产品规格书

V1.1

Document No. : TD01-01-M6823-01	Document Name : MQ6823 中文产品规格书	Version : V1.1
---------------------------------	--------------------------------	----------------

1. 修改纪录.....	3
2. 产品简介.....	4
2.1 功能特性	4
2.2 重点说明	7
2.3 系统模块图	8
2.4 引脚配置/说明	9
3. 电气特性.....	13
3.1 极限参数	13
3.2 工作条件	14
3.3 直流(DC) 特性.....	14
3.4 AD 转换电气特性.....	17
3.5 Flash 特性.....	18
3.6 MTP 特性.....	18
4. 中央处理器(CPU).....	19
4.1 概述.....	19
4.2 寻址区域	19
4.2.1 程序存储器- Flash.....	20
4.2.2 数据存储器- RAM	20
4.2.3 特殊功能寄存器- SFR.....	20
4.3 工作模式	22
4.3.1 工作模式控制线路.....	22
附录 A. 在线编程功能 ISP.....	27
附录 B. 产品型号信息	29
附录 C. 封装信息.....	30
附录 D. 使用注意事项.....	31

Document No. : TD01-01-M6823-01	Document Name : MQ6823 中文产品规格书	Version : V1.1
---------------------------------	--------------------------------	----------------

1. 修改纪录

Version	Approved Date	Description
V 1.0	2018/12/24	新发行。
V1.1	2019/01/22	Pin-assignment 变更。

Document No. : TD01-01-M6823-01	Document Name : MQ6823 中文产品规格书	Version : V1.1
---------------------------------	--------------------------------	----------------

2. 产品简介

2.1 功能特性

◆ 基本信息

- 工作电压范围: 2.0V ~ 5.5V
- 工作温度范围: -40°C ~ 85°C
- i87高效能8位单片机核心搭配完整指令集

◆ 内存配置

- 具有16K x 8位程序Flash内存(重复烧写100K次·可模拟EEPROM)与16K x 8位程序MTP内存
- 2048 x 8位数据存储器RAM(堆栈寄存器)
- 64 x 8 信息块存储器

◆ I/O 端口配置

- 30个输入/输出双向I/O端口、2个Hi-driving输出引脚
- 具备2个35mA LED驱动输出(P80/P81)、其余除P10外、共27个I/O具备15mA输出
- 2个8位PPG输出(具有互补输出)
- 1组(2个)10位PPG输出(具有互补输出)
- 2个16位PPG输出
- 27个可编程的上拉与下拉I/O端口
- 2个通用异步收发传输器传送/接收引脚

◆ 10位AD转换器端口

- 最多12个AD转换器输入端口
- 1个内部1/4 VDD电池量测输入端口
- 3个AD转换器内部参考电压源4V、3V、2V
- 1个AD转换器外部参考电压源选择·电压范围2.0V ~ 5.5V

◆ 系統時鐘源

- 可选择外部或内部RC振荡器作系统时钟源
- 可使用频率为1MHz~16MHz、或32kHz的低频外部晶振源
- 内部高速RC振荡器频率16MHz
- 内部低速RC振荡器频率24KHz

◆ 指令周期

- 指令周期fcgck可设定为高频时钟频率fc的1/1、1/2、1/4或1/8

◆ 定时器/计数器

- 2个8位定时器 (TC0·可组成1个16位定时器)
- 1个10位定时器
- 2个16位定时器 (TCA·有capture功能)
- 时基定时器(Time Base Timer, TBT)
- 看门狗定时器(Watch Dog Timer, WDT)
- 看门狗定时器(WDT2)
- 唤醒计数器(Warm-up Counter ,WUC)
- 实时时钟(Real Time Clock, RTC)
- 8位分频器输出(8-bit divider output, DVO)

◆ 多样化的系统工作模式

- 依时钟源数分成单时钟/双时钟2种操作模式
- 单时钟模式下有1个普通模式、3个节电模式(空闲1、空闲0、停止)
- 双时钟模式下有1个普通模式、6个节电模式(空闲2、低速2/1、睡眠1/0、停止)
- 普通模式：高/低速时钟都正常工作
- 低速模式：由低速时钟进行低电耗操作
- 空闲模式：CPU停止工作·输出端口以高速或高/低速时钟共享工作
- 睡眠模式：CPU停止工作·输出端口以低速时钟工作
- 停止模式：振荡器停止·输出端口保持原输出/高阻

Document No. : TD01-01-M6823-01	Document Name : MQ6823 中文产品规格书	Version : V1.1
---------------------------------	--------------------------------	----------------

- ◆ 外部中断源
 - 4 外部中断输入引脚
- ◆ 2组通用异步收发传输器端口 (UART)
- ◆ 1组串行外围接口 (SIO)
- ◆ 1组工业标准串口通讯(I²C)
- ◆ 封装信息
 - LQFP 32 (7x7)
- ◆ 2组共8级低电压检测(LVD)系统
- ◆ 在线编程 (ISP) 功能(OCDE)

注:使用 MQ6823 系列产品前，请详细参阅附录 D 使用注意事项。

产品型号	MQ6823LQ032HALR
脚位数(IO 数)	32/(30)
工作电压	2.0~5.5V
工作温度	-40~85C
外部唤醒	4
Flash 容量 /烧写次数	16K Bytes/100K times
MTP 容量 /烧写次数	16K Bytes
RAM	2048 Bytes
ADC	10-bit x 8-CH (1/4 VDD, internal, ext.)*1
内部晶振 / 精准度	16MHz +/- 1% @ 25C +/- 2% @ 0~85C +/- 3% @ -40~85C
外部晶振	1~16MHz or 32768Hz
定时器/ 计数器	8bit x 2 10bit x 1 16bit x 2 WDT,TBT, RTC,WUC
PWM/PPG	8bit x 2 10bit x 2 16bit x 2
低电压检测	8 level (+/- 0.1V)*2
传输	UART x 2, SIO x 1, I ² C x 1
在线仿真	Yes
封装	LQFP32

*1: 「1/4 VDD」表示具有 1 个内部 1/4 VDD 电池量测输入端口; 「内」表示 ADC 有内部参考电压(2V/3V/4V); 「外」表示 ADC 使用外部参考电压。

*2: 产品具有 2 组 LVD, 每组有 4 级电压, 精准度最小可达 +/- 0.1V, 各级的详细规格请参阅规格书内容。

Document No. : TD01-01-M6823-01	Document Name : MQ6823 中文产品规格书	Version : V1.1
---------------------------------	--------------------------------	----------------

2.2 重点说明

MQ6823 是一个高速度高性能的 8 位单片机。此单片机在一块芯片上使用了 i87 中央处理器 CPU 内核，内置 16K x 8 位程序 Flash 存储器、16K x 8 位程序 MTP 内存与 128 x 8 位数据 Flash 存储器、2048 x 8 位数据存储器 RAM、信息块存储器、多样的 I/O 端口功能、LED 驱动、定时器与计数器、时钟产生器，以及 10 位 AD 转换器。MQ6823 具备多样化的单、双时钟源系统工作模式，用户可依性能、耗电等不同需求进行工作模式的优化调整。此外，程序开发支持汇编及 C 语言两种编程语言。

由于本规格书中列及的存储器容量不超过 64K x 8 位，存储器地址将以 0x0000 至 0xFFFF 的格式表示。如果端口的输出为低电平有效，该端口表示如 $\overline{\text{RESET}}$ 、 $\overline{\text{PWM00}}$ 、 $\overline{\text{PWM01}}$ 、 $\overline{\text{DVO}}$ 等，本规格书将以“B”加于该端口名称的后方如 RESETB、PWM00B、PWM01B、DVOB 等作为表示。

此外，本规格书以“寄存器名称<位符号>”的命名方式表示特定位的寄存器。举例来说，ILL<IL5>表示位符号 IL5 对应的 ILL 寄存器。

2.3 系统模块图

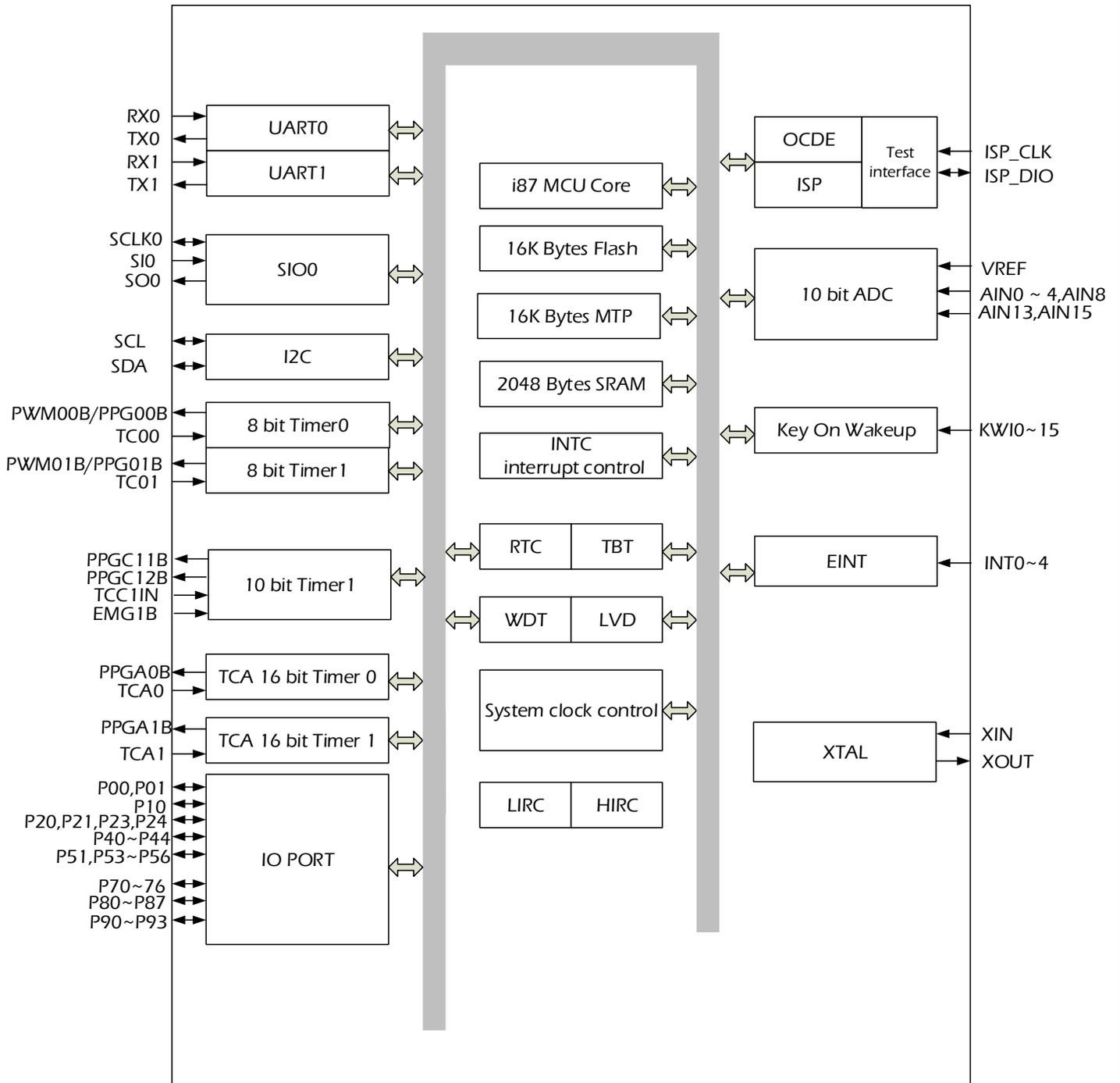


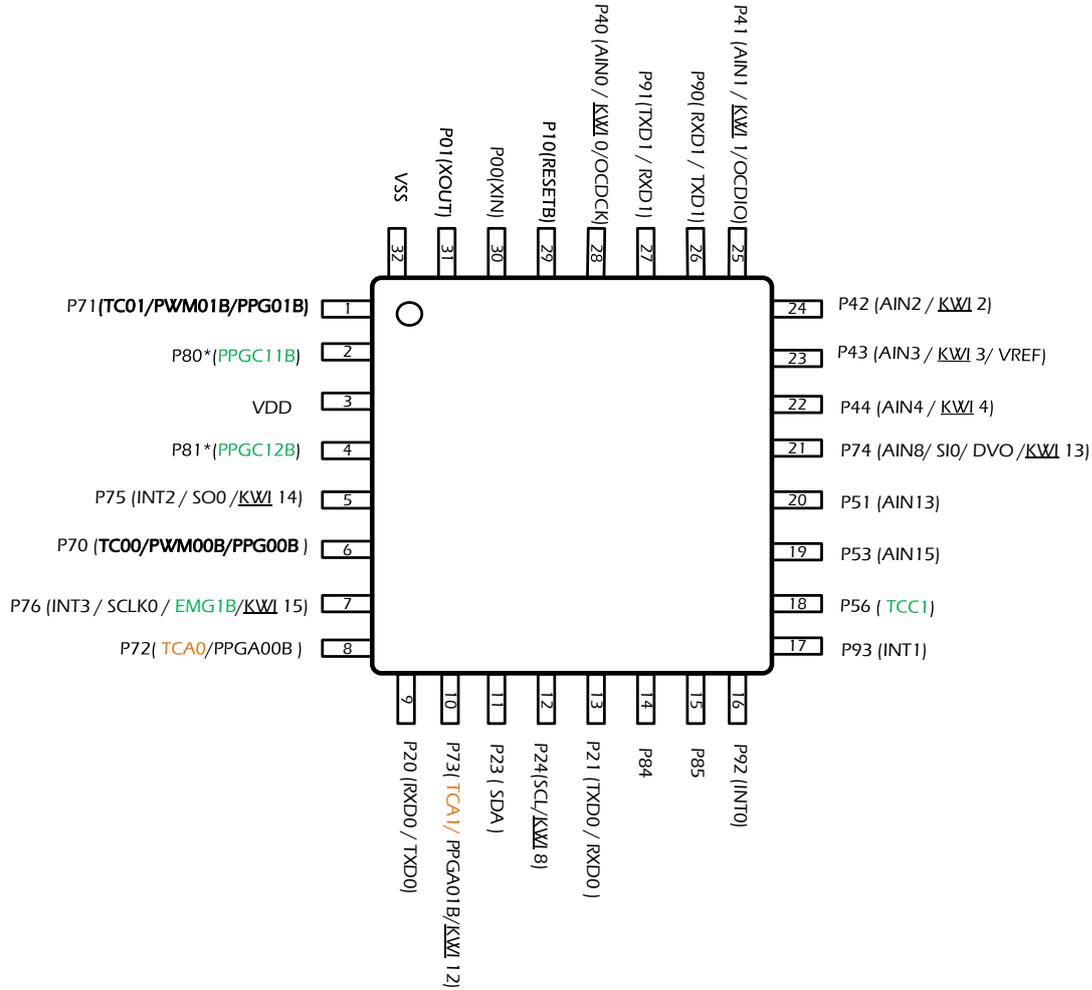
图 2.1 MQ6823 系统模块图

Document No. : TD01-01-M6823-01	Document Name : MQ6823 中文产品规格书	Version : V1.1
---------------------------------	--------------------------------	----------------

2.4 引脚配置/说明

LQFP 32 (7x7) 封装型态引脚配置

产品型号: MQ6823LQ032HALR



Note: 8-bit timer/PWM: **bold black character**
 10-bit timer/PWM: **bold green character**

16-bit timer/PWM: **bold yellow character**

Document No. : TD01-01-M6823-01	Document Name : MQ6823 中文产品规格书	Version : V1.1
---------------------------------	--------------------------------	----------------

引脚编号	引脚名称与端口/选择功能	输入输出I/O类型		功能说明
1	P71/TC01/PWM01B/PPG01B	I/O	上拉 下拉	P71为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。8位定时器/计数器相关引脚TC01/PWM01B/ PPG01B 与P71共享引脚。
2	P80/ PPGC11B	I/O	高驱动电流	P80为具35mA电流驱动之输出端口。10位定时器/计数器TCC1之引脚PPGC11B与P80共享引脚。
3	VDD	Power		VDD电源输入
4	P81/ PPGC12B	I/O	高驱动电流	P81为具35mA电流驱动之输出端口。10位定时器/计数器TCC1之引脚PPGC12B与P81共享引脚。
5	P75/INT2/ SO0/KW114	I/O	上拉 下拉 外部中断 SIO 唤醒输入	P75为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。外部中断INT2与串行外围接口(SIO) SO0及唤醒输入KW114与P75共享引脚。
6	P70/TC00/PWM00B/PPG00B	I/O	上拉 下拉	P70为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。8位定时器/计数器相关引脚TC00/PWM00B/ PPG01B与P70共享引脚。
7	P76/INT3/SCLK0/ EMG1B /KW115	I/O	上拉 下拉 外部中断 SIO 唤醒输入	P76为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。外部中断INT3、串行外围接口(SIO) SCLK与10位定时器/计数器TCC1之引脚 EMG1B及唤醒输入KW115皆与P76共享引脚。
8	P72/TCA0/PPGA0B	I/O	上拉 下拉	P72为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。16位定时器/计数器TCA0引脚TCA0/ PPGA0B与P72共享引脚。
9	P20/RXD0/TXD0	I/O	上拉 下拉 UART	P20为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。通用异步接收/发送 (UART) 引脚 TXD0及RXD0与P20共享引脚。
10	P73/TCA1/PPGA1B/KW112	I/O	上拉 下拉 唤醒输入	P73为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。16位定时器/计数器TCA1引脚TCA1/ PPGA1B及唤醒输入KW112与P73共享引脚。
11	P23/SDA	I/O	上拉 下拉 I ² C	P23为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。工业标准串口通讯 (I ² C) 引脚SDA与P23共享引脚。
12	P24/SCL/KW18	I/O	上拉 下拉 I ² C 唤醒输入	P24为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。工业标准串口通讯 (I ² C) 引脚SCL及唤醒输入KW18与P24共享引脚。
13	P21/TXD0/RXD0	I/O	上拉 下拉 UART	P21为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。通用异步接收/发送 (UART) 引脚 TXD0及RXD0分别与P21共享引脚。
14 15	P84 P85	I/O	上拉 下拉	P84、P85为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。
16 17	P92/INT0 P93/INT1	I/O	上拉 下拉 外部中断	P92与P93为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。外部中断 INT0、INT1分别与P92、P93共享引脚。

Document No. : TD01-01-M6823-01	Document Name : MQ6823 中文产品规格书	Version : V1.1
---------------------------------	--------------------------------	----------------

引脚编号	引脚名称与端口/选择功能	输入输出 I/O类型	功能说明	引脚编号
18	P56/TCC1	I/O	上拉 下拉	P56为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。10位定时器/计数器TCC1之引脚与P56共享引脚。
19 20	P53/AIN15 P51/AIN13	I/O	上拉 下拉 AD转换输入	P53与P51为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 AD转换输入AIN15及 AIN13分别与P53及P51共享引脚。
21	P74/AIN8/SIO/DVO/KWI13	I/O	上拉 下拉 AD转换输入 SIO 唤醒输入	P74为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。AD转换输入AIN8与串行外围接口 (SIO) 引脚 SIO及DVO及唤醒输入KWI13与P74共享引脚。
22	P44/AIN4/KWI4	I/O	上拉 下拉 AD转换输入 唤醒输入	P44为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。AD转换输入AIN4与唤醒输入KWI4分别与P44共享引脚。
23	P43/AIN3/KWI3/VREF	I/O	上拉 下拉 AD转换输入 唤醒输入	P43为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。AD转换输入AIN3及唤醒输入KWI3及VREF与P43共享引脚。
24 25	P42/AIN2/KWI2 P41/AIN1/KWI1/OCDE	I/O	上拉 下拉 AD转换输入 唤醒输入 OCDE	P42与P41为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。AD转换输入AIN2、AIN1及唤醒输入KWI2、KWI1分别与P42与P41共享引脚。
26 27	P90/TXD1/RXD1 P91/RXD1/TXD1	I/O	上拉 下拉 UART	P90与P91为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。通用异步接收/发送(UART)引脚TXD1及RXD1分别与P90及P91共享引脚。
28	P40/AIN0/KWI0/OCDE	I/O	上拉 下拉 AD转换输入 唤醒输入 OCDE	P40为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。AD转换输入AIN0及唤醒输入KWI0与P40共享引脚。
29	P10/RESETB	I/O	上拉	P10为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻。复位信号输入RESETB与P10共享引脚，为低电平有效。上电后P10默认是复位功能，请注意必须为高电平后，芯片才能正常工作。芯片正常工作后可以通程序设定为IO端口。
30 31	P00/XIN P01/XOUT	I/O	上拉 下拉 外部晶振连接 (高低频)	P00与P01为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。XIN及XOUT为外部高低频晶体振荡器连接引脚，分别与P00及P01共享引脚。
32	VSS	Power	-	接地电源输入

注 1 : KWix 可定义为系统唤醒的输入引脚，其中 KW10~KW14 分别和 P40~P44 共享引脚、而 KW18, KW112~KW115 分别和 P24,P73~P76 共享引脚。

Document No. : TD01-01-M6823-01	Document Name : MQ6823 中文产品规格书	Version : V1.1
---------------------------------	--------------------------------	----------------

注 2 : AIN 为 10 位 AD 转换器的模拟信号输入引脚。

注 3 : 在线烧录之引脚为 VSS、VDD、P10、P40 与 P41。

注 4 P74 脚位若作为 AIN 功能(AIN8) , 且与其他 AIN 同时使用时 , 进入 STOP 模式会增加额外功耗 ; 故在 AIN 通道数量足够的状况下 , 请尽量避免使用 P74 的 AIN 功能(AIN8)。

图 2.2 为在使用 MQ6823 时建议的外部参考线路 , 包含三个部份:

1. 在电源脚 VDD 与 VSS 加入 10uF 并联 0.1uF 的电容 , 目的是可以避免电源突波或杂讯的影响 , 有助于强化产品的抗干扰(EFTB)能力。所加电容的位置应尽可能地接近 MCU 的 VDD 与 VSS 脚位 , 不要有过长的线路。
2. 在使用 ADC 时 , 请在 AIN 讯号输入脚位串接一个 100ohm , 并且接一个 1nF 的电容到地。这是为了过滤可能的杂讯。
3. 在使用 ADC 并使用外部参考电压时 , 请在 VREF 外部参考电压输入引脚加上 10uF 并联 0.1uF 到地的电容。目的是为了过滤可能的杂讯。
4. 建议于 user mode 确认 P40,P41 之 ADC 的结果。若需要于仿真模式下确认 P40,P41 之 ADC 结果 , 请于 P40,P41 加 30Kohm 下地 , 以减少仿真模式下 OCD code 不稳定的现象。

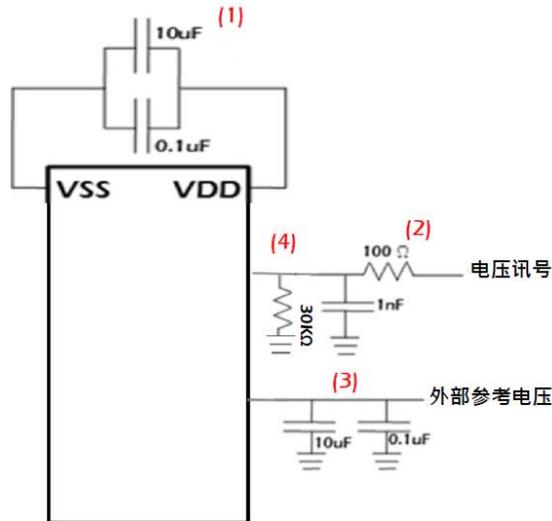


图 2.2 MQ6823 外部参考线路

Document No. : TD01-01-M6823-01	Document Name : MQ6823 中文产品规格书	Version : V1.1
---------------------------------	--------------------------------	----------------

3. 电气特性

3.1 极限参数

单片机操作时切勿超过以下任一项极限参数值。即使仅是极短时间，也可能造成单片机损坏或性能衰退，严重者可能导致起火或爆炸、造成伤害。因此，请确保采用本单片机设计开发之产品或系统不超过以下极限参数值。

($V_{SS} = 0V$)

参数	符号	引脚	极限参数	单位
工作电压范围	V_{DD}		-0.3 to 6.0	V
输入电压范围	V_{IN}	全部 I/O 引脚	-0.3 to $V_{DD} + 0.3$	V
输出电压范围	V_{OUT}	全部 I/O 引脚	-0.3 to $V_{DD} + 0.3$	V
输出电流 (单脚)	I_{OUT1}	Port0、P10、Port2、Port5、P71、P74~P77、P84~P87、Port9 (IOL: 输出拉电流)	15	mA
	I_{OUT2}	Port4、P70、P72、P73、P82、P83 (IOL: 输出拉电流)	40	
	I_{OUT3}	P80/P81 (IOL: 输出拉电流)	60	
	I_{OUT4}	全部 I/O 引脚, 不包含 P80、P81 (IOH: 输入灌电流)	-15	
	I_{OUT5}	P80/P81 (IOH: 输入灌电流)	-30	
输出电流 (总和)	ΣI_{OUT1}	全部 I/O 引脚 (IOL: 输出拉电流)	120	mA
	ΣI_{OUT2}	全部 I/O 引脚 (IOH: 输入灌电流)	-60	
储存温度范围	T_{STG}		-40 to 125	°C
工作温度范围	T_{OPR}		-40 to 85	°C

Document No. : TD01-01-M6823-01	Document Name : MQ6823 中文产品规格书	Version : V1.1
---------------------------------	--------------------------------	----------------

3.2 工作条件

(V_{SS} = 0V, T_{OPR} = -40 to 85°C)

参数	符号	引脚 / 条件	测试条件	最小	标准	最大	单位	
工作电压	V _{DD}		所有工作模式	2.0	-	5.5	V	
输入高电压	V _{IH}	全部 I/O 引脚		V _{DD} ×0.75	-	V _{DD}	V	
输入低电压	V _{IL}	全部 I/O 引脚		0	-	V _{DD} ×0.25	V	
时钟频率	外部高速时钟	f _c	XIN, XOUT	V _{DD} = 2.0 to 5.5V	1.0	-	16	MHz
	外部低速时钟	f _{CL}	XIN, XOUT (32.768KHz)		30.0	32.768	34.0	KHz
	内部高速时钟	f _{OSC}	FSCTRL<FOSCCK>="00" - 8MHz	V _{DD} = 2.0 to 5.5V	-1%	8.00	+1%	MHz
			FSCTRL<FOSCCK>="01" - 16MHz	25°C	-1%	16.00	+1%	
			FSCTRL<FOSCCK>="00" - 8MHz	V _{DD} = 2.0 to 5.5V	-2%	8.00	+2%	MHz
			FSCTRL<FOSCCK>="01" - 16MHz	0°C ~85°C	-2%	16.00	+2%	
	内部低速时钟	f _{OSCL}	24KHz	V _{DD} = 2.0 to 5.5V	-	24	-	KHz
系统齿轮时钟	f _{CGCK}	设定 CGCR <FCGCKSEL>	V _{DD} = 2.0 to 5.5V	0.125	-	16	MHz	

3.3 直流(DC) 特性

(V_{SS} = 0V, T_{OPR} = -40 to 85°C)

参数	条件	最小	标准	最大	单位	参数	条件
滞后电压	V _{HS}	全部 I/O 引脚	V _{DD} = 5.5V V _{IN} = 5.5V / 0V	-	0.9	-	V
输入电流	I _{IN}	全部 I/O 引脚		-	-	±2	μA
上拉电阻	R _{UP}	全部 I/O 引脚、P80/P81 除外、P10 关闭 RESETB 功能		30	50	70	KΩ
下拉电阻	R _{DN}	全部 I/O 引脚、P10/P80/P81 除外	V _{DD} / V _{IN} = 5.5V	27.5	55	82.5	KΩ
			V _{DD} / V _{IN} = 2.0V	120	200	300	KΩ
输出电流	I _{OL1}	全部 I/O 引脚, P40~P47,P70,P72,P73,P80, P81 除外	V _{DD} = 5.5V V _{OL} = 0.55V	3.0	5.0	-	mA
	I _{OL2}	P40~P47,P70,P72,P73		9.0	15.0	-	mA
	I _{OL3}	P80/P81		21.0	35.0	-	mA
	I _{OH1}	全部 I/O 引脚、P80/P81 除外	V _{DD} = 5.5V	3.0	5.0	-	mA
	I _{OH2}	P80/P81	V _{OH} = 4.95V	9.0	15.0	-	mA

注：I/O 最大操作速度为 500KHz。

注：标准值条件为 T_{OPR} = 25°C、V_{DD} = 5.5V。

Document No. : TD01-01-M6823-01	Document Name : MQ6823 中文产品规格书	Version : V1.1
---------------------------------	--------------------------------	----------------

(V_{SS} = 0V, T_{OPR} = 25°C)

参数	条件	最小	标准	最大	单位	参数
工作电流 - 普通 1, 2 模式	I _{DD}	V _{DD} = 5.5V f _{cgck} = <u>16.0 MHz</u> f _S = 24 KHz	-	4.0	4.8	mA
工作电流 - 空闲 0, 1, 2 模式			-	2.4	3.0	
工作电流 - 普通 1, 2 模式		V _{DD} = 5.5V f _{cgck} = <u>8.0 MHz</u> f _S = 24 KHz	-	3.2	4.0	
工作电流 - 空闲 0, 1, 2 模式			-	2.2	2.6	
待机电流 - 低速 1 模式		V _{DD} = 3.0V f _S = 24 KHz	-	65	90	μA
待机电流 - 睡眠 1 模式			-	40	60	
待机电流 - 睡眠 0 模式			-	40	60	
待机电流 - 停止模式			V _{DD} = 5.5V	-	15	

注 1 : 标准值条件为 T_{OPR} = 25°C、V_{DD} = 5.0V。(除非特别指定)

注 2 : 低速 2 模式下之工作电流值与空闲 0, 1, 2 模式相同。

(V_{SS} = 0V, T_{OPR} = -40 to 55°C)

参数	条件	最小	标准	最大	单位	参数
工作电流 - 普通 1, 2 模式	I _{DD}	V _{DD} = 5.5V f _{cgck} = <u>16.0 MHz</u> f _S = 24 KHz	-	4.0	5.0	mA
工作电流 - 空闲 0, 1, 2 模式			-	2.4	3.2	
工作电流 - 普通 1, 2 模式		V _{DD} = 5.5V f _{cgck} = <u>8.0 MHz</u> f _S = 24 KHz	-	3.2	4.2	
工作电流 - 空闲 0, 1, 2 模式			-	2.2	2.8	
待机电流 - 低速 1 模式		V _{DD} = 3.0V f _S = 24 KHz	-	65	180	μA
待机电流 - 睡眠 1 模式			-	40	120	
待机电流 - 睡眠 0 模式			-	40	120	
待机电流 - 停止模式			V _{DD} = 5.5V	-	15	

注 1 : 标准值条件为 T_{OPR} = 25°C、V_{DD} = 5.0V。(除非特别指定)

注 2 : 低速 2 模式下之工作电流值与空闲 0, 1, 2 模式相同。

Document No. : TD01-01-M6823-01	Document Name : MQ6823 中文产品规格书	Version : V1.1
---------------------------------	--------------------------------	----------------

(V_{SS} = 0V, T_{OPR} = -40 to 85°C)

参数	条件	最小	标准	最大	单位	参数	
工作电流 - 普通 1, 2 模式	I _{DD}	V _{DD} = 5.5V f _{cgck} = 16.0 MHz f _S = 24 KHz	-	4.0	5.2	mA	
工作电流 - 空闲 0, 1, 2 模式			-	2.4	3.4		
工作电流 - 普通 1, 2 模式		V _{DD} = 5.5V f _{cgck} = 8.0 MHz f _S = 24 KHz	-	3.2	4.4		
工作电流 - 空闲 0, 1, 2 模式			-	2.2	3.0		
待机电流 - 低速 1 模式		I _{DD}	V _{DD} = 3.0V f _S = 24 KHz	-	65	300	μA
待机电流 - 睡眠 1 模式				-	40	260	
待机电流 - 睡眠 0 模式				-	40	260	
待机电流 - 停止模式			V _{DD} = 5.5V	-	15	190	

注 1 : 标准值条件为 T_{OPR} = 25°C、V_{DD} = 5.0V。(除非特别指定)

注 2 : 低速 2 模式下之工作电流值与空闲 0, 1, 2 模式相同。

3.4 AD 转换电气特性

($V_{SS} = 0V, 2.7V \leq V_{DD} \leq 5.5V, T_{OPR} = 25^{\circ}C$)

参数	条件	测试条件	最小	标准	最大	单位
模拟信号参考电压 Analog Reference Voltage	V_{REF}	-	-	-	V_{DD}	V
模拟信号输入电压 Analog input voltage range	V_{AIN}	-	V_{SS}	-	V_{DD}	V
转换时间 Conversion Time		$f_{cgck} = 2MHz$ $ADCCR2 <ACK> = "000"$	-	16.0	-	μs
微分非线性误差 (DNL) Differential Nonlinearity Error		-	-	-	± 2.0	LSB
积分非线性误差 (INL) Integral Nonlinearity Error		-	-	-	± 2.0	LSB
零点误差 Zero Point Error		-	-	-	± 2.0	LSB
全刻度误差 Full Scale Error		-	-	-	± 2.0	LSB
总误差 Total Error		-	-	-	± 2.0	LSB

($V_{SS} = 0V, 2.0V \leq V_{DD} < 2.7V, T_{OPR} = 25^{\circ}C$)

参数	条件	测试条件	最小	标准	最大	单位
模拟信号参考电压 Analog Reference Voltage	V_{REF}	-	-	-	V_{DD}	V
模拟信号输入电压 Analog input voltage range	V_{AIN}	-	V_{SS}	-	V_{DD}	V
转换时间 Conversion Time		$f_{cgck} = 2MHz$ $ADCCR2 <ACK> = "001"$	-	32.0	-	μs
微分非线性误差 (DNL) Differential Nonlinearity Error		-	-	-	± 4.0	LSB
积分非线性误差 (INL) Integral Nonlinearity Error		-	-	-	± 4.0	LSB
零点误差 Zero Point Error		-	-	-	± 4.0	LSB
全刻度误差 Full Scale Error		-	-	-	± 4.0	LSB
总误差 Total Error		-	-	-	± 4.0	LSB

注 1 : 总误差包含量化误差以外的所有误差, 其定义为距离理想 AD 转换曲线的最大偏差值。

注 2 : AIN 引脚的电压输入范围应在 V_{REF} 至 V_{SS} 之间。如在此范围之外, AD 转换值将为不确定值, 且将影响其他 AD 通道之转换值。

Document No. : TD01-01-M6823-01	Document Name : MQ6823 中文产品规格书	Version : V1.1
---------------------------------	--------------------------------	----------------

3.5 Flash 特性

($V_{SS} = 0V, 2.0V \leq V_{DD} \leq 5.5V, T_{OPR} = -40 \text{ to } 85^{\circ}C$)

参数	测试条件	最小	标准	最大	单位
Flash 存储器保证烧写次数		-	-	100,000	times
Flash 存储器烧写时间		-	-	40	μs
Flash 存储器擦除时间	整颗擦除 chip erase	-	-	40	ms
	区块擦除 sector erase (1 区块 = 128 字节)	-	-	5	

3.6 MTP 特性

($V_{SS} = 0V, 2.0V \leq V_{DD} \leq 5.5V, T_{OPR} = -40 \text{ to } 85^{\circ}C$)

参数	测试条件	最小	标准	最大	单位
Flash 存储器保证烧写次数		-	-	100,000	次
Flash 存储器烧写时间		-	-	40	μs
Flash 存储器擦除时间	整颗擦除 chip erase	-	-	40	ms
	区块擦除 sector erase (1 区块 = 128 字节)	-	-	5	

4. 中央处理器(CPU)

4.1 概述

MQ6823 使用 i87 中央处理器 CPU 内核，具备 16K x 8 位 Flash 程序存储器、16K x 8 位 MTP 程序存储器及 128x8 位 Flash 数据存储器。这个高速度高性能中央处理器 CPU 的介绍可分成八个重点部份：(1) 程序存储器/数据存储器与特殊功能寄存器 (SFR) 的地址映像，(2) 工作模式。

4.2 寻址区域

图 4.1 为 MQ6823 之寻址区域，包括 SFR1、SFR2、SFR3、RAM 与程序存储器(Flash)，除了主要的 16K x 8 位 Flash 程序存储器及 128 x8 位 Flash 数据存储器之外，另具 1 个 16K x 8 位 MTP 内存。此外，提供一个 64x8 位信息块存储器，地址为 0x7E40 至 0x7E7F，可用于储重要的产品信息，比方烧录器(Writer)信息。

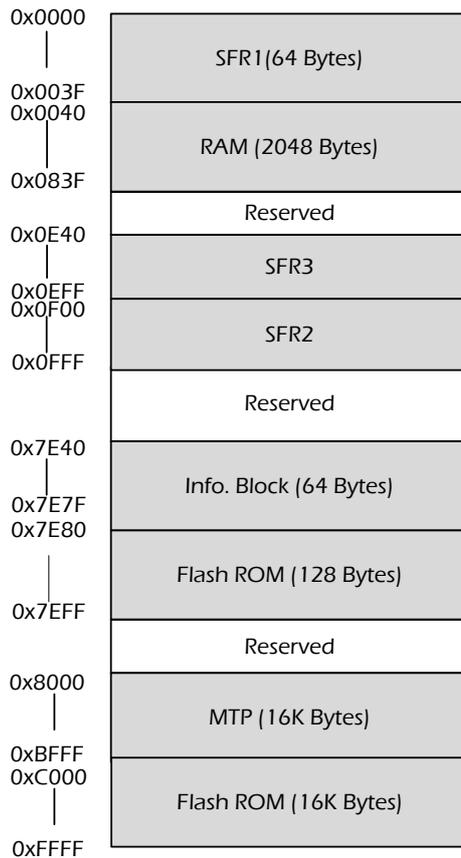


图 4.1 MQ6823 的地址映像

Document No. : TD01-01-M6823-01	Document Name : MQ6823 中文产品规格书	Version : V1.1
---------------------------------	--------------------------------	----------------

4.2.1 程序存储器- Flash

程序存储器 Flash 用于存储程序指令和固定的数据，其中存储的数据、表和中断指令等可用程序计数器(PC)和查表指针(Table Pointer)进行寻址。MQ6823 具有 32Kx8 位之程序存储器，地址分别为 0x8000 到 0xFFFF (32Kx8 位) 与 0xC000 到 0xFFFF (16Kx8 位)。MQ6823 具有 128 x 8 位数据存储器，地址为 0x7E80 到 0x7EFF (128x8 位)。其中 128 x 8 位的程序区域可用于储存用户信息，比方产品 ID。

4.2.2 数据存储器- RAM

MQ6823 有 2048x8 位的数据存储器(静态)，其在复位后的地址为 0x0040 到 0x083F 的数据区域内。上电时数据存储器内的值是不固定的，必须用一个初始化程序将数据存储器初始化。

4.2.3 特殊功能寄存器- SFR

特殊功能寄存器在复位后的映像地址分别是 SFR1: 0x0000 到 0x003F，SFR2: 0x0F00 到 0x0FFF 以及 SFR3: 0x0E40 到 0x0EFF。这些特殊功能寄存器的用途包含端口、定时器、PWM、外部中断、唤醒、分频器输出、程序状态字 PSW、AD 转换器与 UART、SIO、I2C 等相关的设定。

注: 不要存取系统保留的特殊功能寄存器。

	SFR1		SFR2		SFR2
0x0000	P0DR	0x0F00	P0PD	0x0F80
0x0001	P1DR	0x0F01
0x0002	P2DR	0x0F02	P2PD	0x0F9B
0x0003	0x0F03	0x0F9C	TC1CR1
0x0004	P4DR	0x0F04	P4PD	0x0F9D	TC1CR2
0x0005	P5DR	0x0F05	P5PD	0x0F9E	TC1CR3
0x0006	0x0F06	0x0F9F	TC1DRAL
0x0007	P7DR	0x0F07	P7PD	0x0FA0	TC1DRAH
0x0008	P8DR	0x0F08	P8PD	0x0FA1	TC1DRBL
0x0009	P9DR	0x0F09	P9PD	0x0FA2	TC1DRBH
0x000A	0x0F0A	0x0FA3	TC1DRCL
0x000B	0x0FA4	TC1DRCH
0x000C	0x0F19	P0CR	0x0FA5	TC1DRDL
0x000D	P0PRD	0x0F1A	P1CR	0x0FA6	TC1DRDH
0x000E	P1PRD	0x0F1B	P2CR	0x0FA7	TC1DREL
0x000F	P2PRD	0x0F1C	0x0FA8	TC1DREH
0x0010	0x0F1D	P4CR	0x0FA9	TC1CAPAL
0x0011	P4PRD	0x0F1E	P5CR	0x0FAA	TC1CAPAH
0x0012	P5PRD	0x0F1F	0x0FAB	TC1CAPBL
0x0013	0x0F20	0x0FAC	TC1CAPBH
0x0014	P7PRD	0x0F21	P7CR	0x0FAD
0x0015	P8PRD	0x0F22	P8CR
0x0016	P9PRD	0x0F23	P9CR	0x0FC3
0x0017	0x0F24	0x0FC4	KWUCR0
.....	0x0F25	0x0FC5	KWUCR1
0x0019	0x0F26	0x0FC6	VDCR1
0x001A	UART0CR1	0x0F27	P0PU	0x0FC7	VDCR2
0x001B	UART0CR2	0x0F28	P1PU	0x0FC8	RTCCR
0x001C	UART0DR	0x0F29	P2PU	0x0FC9
0x001D	UART0SR	0x0F2A	0x0FCA	KWUCR2
0x001E	TD0BUF/RD0BUF	0x0F2B	P4PU	0x0FCB	KWUCR3
0x001F	SIO0CR	0x0F2C	P5PU	0x0FCC	IRSTSR
0x0020	SIO0SR	0x0F2D	0x0FCD	WUCCR
0x0021	SIO0BUF	0x0F2E	P7PU	0x0FCE	WUCDR
0x0022	SBIOCR1	0x0F2F	P8PU	0x0FCF	CGCR
0x0023	SBIOCR2/SBIOSR2	0x0F30	P9PU	0x0FD0	FLSCR1
0x0024	I2COAR	0x0F31	0x0FD1	FLSCR2/FLSCRM
0x0025	SBIODBR	0x0F32	0x0FD2	FLSSTB
0x0026	T00REG	0x0F33	0x0FD3
0x0027	T01REG	0x0F34	P0FC	0x0FD4	WDCTR
0x0028	T00PWM	0x0F35	0x0FD5	WDCDR
0x0029	T01PWM	0x0F36	P2FC	0x0FD6	WDCNT
0x002A	T00MOD	0x0F37	0x0FD7	WDST
0x002B	T01MOD	0x0F38	P4FC	0x0FD8	EINTCR1
0x002C	T001CR	0x0F39	P5FC	0x0FD9	EINTCR2
0x002D	TA0DRAL	0x0F3A	0x0FDA	EINTCR3
0x002E	TA0DRAH	0x0F3B	P7FC	0x0FDB	EINTCR4
0x002F	TA0DRBL	0x0F3C	P8FC	0x0FDC	SYSCR1
0x0030	TA0DRBH	0x0F3D	P9FC	0x0FDD	SYSCR2
0x0031	TA0MOD	0x0F3E	0x0FDE	SYSCR3
0x0032	TA0CR	0x0FDF	SYSCR4/SYSSR4
0x0033	TA0SR	0x0F43	P2OUTCR	0x0FE0	ILL
0x0034	ADCCR1	0x0FE1	ILH
0x0035	ADCCR2	0x0F53	0x0FE2	ILE
0x0036	ADCDRL	0x0F54	UART1CR1	0x0FE3	ILD
0x0037	ADCDRH	0x0F55	UART1CR2	0x0FE4
0x0038	DVOCR	0x0F56	UART1DR
0x0039	TBTCR	0x0F57	UART1SR	0x0FFF
0x003A	EIRL	0x0F58	TD1BUF / RD1BUF
0x003B	EIRH	0x0F59	0x0E40
0x003C	EIRE	0x0F5A	TA1DRAL
0x003D	EIRD	0x0F5B	TA1DRAH	0x0E96
0x003E	0x0F5C	TA1DRBL	0x0E97	UATCNG
0x003F	PSW	0x0F5D	TA1DRBH	0x0E98	EINTCR0
		0x0F5E	TA1MOD	0x0E99	EINTCR5
		0x0F5F	TA1CR
		0x0F60	TA1SR	0x0EE6
		0x0F61	0x0EE7	ADCVRF
		0x0F66	0x0EE8
		0x0F70
		0x0F71	0x0EEC
		0x0F72	0x0EED	FSCTRL
		0x0F73	POFFCR0	0x0EEE
		0x0F74	POFFCR1
		0x0F75	POFFCR2	0x0EFF
		0x0F76	POFFCR3
		0x0F77
		0x0F78
	
		0x0F7F

图 4.2 SFR1 · SFR2 · SFR3

4.3 工作模式

4.3.1 工作模式控制线路

工作模式控制线路控制高频振荡线路和低频振荡线路的开与关，并控制主系统时钟(fm)的开与关。MQ6823 有三种工作模式 – 单时钟模式、双时钟模式和停止模式。这些工作模式是由系统控制寄存器 SYSCR1 和 SYSCR2 控制。图 4.3 是工作模式的转换图。

4.3.1.1 单时钟模式

在单时钟的工作模式下，只使用高速时钟振荡线路。主系统时钟是由齿轮时钟 fcgck 产生。在此模式下，机器周期为 $1/fcgck$ 秒。

(a) 普通 1 (NORMAL1) 模式

这种模式下，中央处理器 CPU 和外围线路的操作都会使用齿轮时钟 fcgck。复位释放后，MQ6823 便处于此普通 1 的模式下。

(b) 空闲 1 (IDLE1) 模式

这种模式下，中央处理器 CPU 和看门狗定时器停止工作，其他外围线路仍使用齿轮时钟 fcgck 工作。

要启动空闲 1 模式，在普通 1 模式下设置 SYSCR2<IDLE>为 "1"。空闲 1 模式启动后，中央处理器 CPU 和看门狗定时器停止工作。中断允许寄存器 EIR 变更中断锁存器为 "1" 时，系统会由空闲 1 模式切换为普通 1 模式。

中断主允许标帜(IMF)为 "1" 时(即允许中断)，程序的执行将停止并接受中断，直到中断服务程序返回后，系统才回到正常操作。当 IMF 为 "0" 时(禁止中断)，程序会从刚才启动空闲 1 模式指令的下一条指令继续执行。

(c) 空闲 0 (IDLE0) 模式

这种模式下，中央处理器 CPU 和外围线路停止工作，只有振荡线路和时基定时器持续正常工作。

在空闲 0 模式下，外围线路停止工作并保持在空闲 0 模式启动当时的状态，或是保持在复位释放时的相同状态。外围线路在空闲 0 模式下的工作状态，可参考每个外围线路的相关叙述。

要启动空闲 0 模式，在普通 1 模式下设置 SYSCR2<TGHALT>为 "1"。空闲 0 模式启动后，中央处理器 CPU 停止工作，时钟产生器对时基定时器之外的外围线路停止时钟输出。侦测到 TBTCR <TBTC> 设定的信号源下降沿后，系统会脱离空闲 0 模式，时钟产生器开始输

出时钟至所有线路，系统回到普通 1 模式。

不管 TBTCR <TBTEN> 的设定为何，空闲 0 模式都可以被启动并重新启动。

在 TBTCR <TBTEN> 为“1”的状态下启动空闲 0 模式，INTTBT 中断锁存器会在系统回到普通模式之后被设定。如果 IMF 为“1”而 EF5(时基定时器的个别中断允许旗帜)也为“1”，系统会在中断处理完成后回到普通模式。

如果 IMF 为“0”而 EF5(时基定时器的个别中断允许旗帜)也为“0”，程序会从刚才启动空闲 0 模式指令的下一条指令开始执行。

4.3.1.2 双时钟模式

双时钟模式同时使用齿轮时钟 $fcgck$ 和低速时钟 fs 。

在普通 2 或空闲 2 模式下，主系统时钟 fm 是由齿轮时钟 $fcgck$ 产生。在低速 1/2、睡眠 0/1 模式下，主系统时钟 fm 是由低速时钟除以 4 产生。因此，普通 2 和空闲 2 模式下的机器周期为 $1/fcgck$ 秒，低速 1/2、睡眠 0/1 模式下的机器周期为 $4/fs$ 秒。

注意，系统在复位后会回到单时钟模式。若要使用双时钟模式，必须在程序开始时打开低速时钟，启动低速振荡。

(a) 普通 2 (NORMAL2) 模式

这种模式下，中央处理器 CPU 的工作使用齿轮时钟 $fcgck$ ，外围线路的操作使用齿轮时钟 $fcgck$ 或低速时钟 fs 的 1/4 速度。

(b) SLOW2 mode

这种模式下，高速时钟振荡线路持续工作，中央处理器 CPU 和外围线路的操作都使用低速时钟 fs 的 1/4 速度。

低速模式下，部分外围线路切换回系统复位释放时的同状态。外围线路在低速模式下的工作状态，可参考关于每个外围线路的叙述。

设定 SYSCR2 <SYSCK> 可以让系统工作模式从普通 2 切换为低速 2，或是从低速 2 切换成普通 2。在低速 2 模式下，预比例器(Prescaler)和分频器的阶段 1~8 输出停止。

(c) 低速 1 (SLOW1) 模式

这种模式下，高速时钟振荡线路停止工作，中央处理器 CPU 和外围线路的操作都使用低速时钟 fs 的 1/4 速度。低速 1 模式比低速 2 模式更省电。

在低速模式下，部分外围线路切换回系统复位释放时的同状态。外围线路在低速 1/2 模式下的工作状态，可参考关于每个外围线路的叙述。

Document No. : TD01-01-M6823-01	Document Name : MQ6823 中文产品规格书	Version : V1.1
---------------------------------	--------------------------------	----------------

使用外部晶振时，设定 SYSCR2<XEN> 可让系统工作模式从低速 1 切换为低速 2，或是从低速 2 切换成低速 1。使用 HIRC 时，设定 SYSCR2<OSCEN> 可让系统工作模式从低速 1 切换为低速 2，或是从低速 2 切换成低速 1。在低速 1 或是睡眠 1 模式下，预比例器和分频器的阶段 1~8 输出停止。

(d) 空闲 2 (IDLE2) 模式

这种模式下，中央处理器和看门狗定时器停止工作，其他外围线路的操作仍旧使用齿轮时钟 f_{cgck} 或低速时钟 f_s 的 1/4 速度。

空闲 2 模式和空闲 1 模式的启动与释放方式相同。在空闲 2 模式释放后，系统会恢复为普通 2 模式。

(e) 睡眠 1 (SLEEP1) 模式

这种模式下，高速时钟振荡线路停止工作，中央处理器 CPU 和看门狗定时器停止工作，外围线路的操作都使用低速时钟 f_s 的 1/4 速度。

在睡眠 1 模式下，部分外围线路切换回系统复位释放时的同状态。外围线路在睡眠 1 模式下的工作状态，可参考关于每个外围线路的叙述。睡眠 1 模式和空闲 1 模式的启动与释放方式相同。在脱离睡眠 1 模式后，系统会恢复为低速 1 模式。

在低速 1 或是睡眠 1 模式下，预比例器和分频器的阶段 1~8 输出停止。

(f) 睡眠 0 (SLEEPO) 模式

这种模式下，高速时钟振荡线路停止工作，中央处理器 CPU 和外围线路都停止工作，只有时基定时器使用低速时钟 f_s 的 1/4 速度持续工作。

在睡眠 0 模式下，外围线路停留在睡眠 0 模式启动时的当时状态，或是变回系统复位释放时的同状态。外围线路在睡眠 0 模式下的工作状态，可参考关于每个外围线路的叙述。睡眠 0 模式和空闲 0 模式的启动与释放方式相同。在脱离睡眠 0 模式后，系统会恢复为低速 1 模式。

在睡眠 0 模式下，中央处理器 CPU 以及时基定时器以外的外围线路都停止工作。

4.3.1.3 停止 (STOP) 模式

这种模式下，系统内的所有操作都停止。这种模式下系统内部状态暂停以保持最低耗电。

在停止模式下，外围线路停留在停止模式启动时的当时状态，或是变回系统复位释放时的同状态。外围线路在停止模式下的工作状态，可参考关于每个外围线路的叙述。要进入停止模式，设置 SYSCR1<STOP>为"1"即可。

要脱离停止模式，输入停止模式释放信号即可。在唤醒周期完成后，系统工作恢复为进入停止模式前的系统工作模式，程序执行刚才启动停止模式指令的下一个指令。

4.3.1.4 工作模式之转换

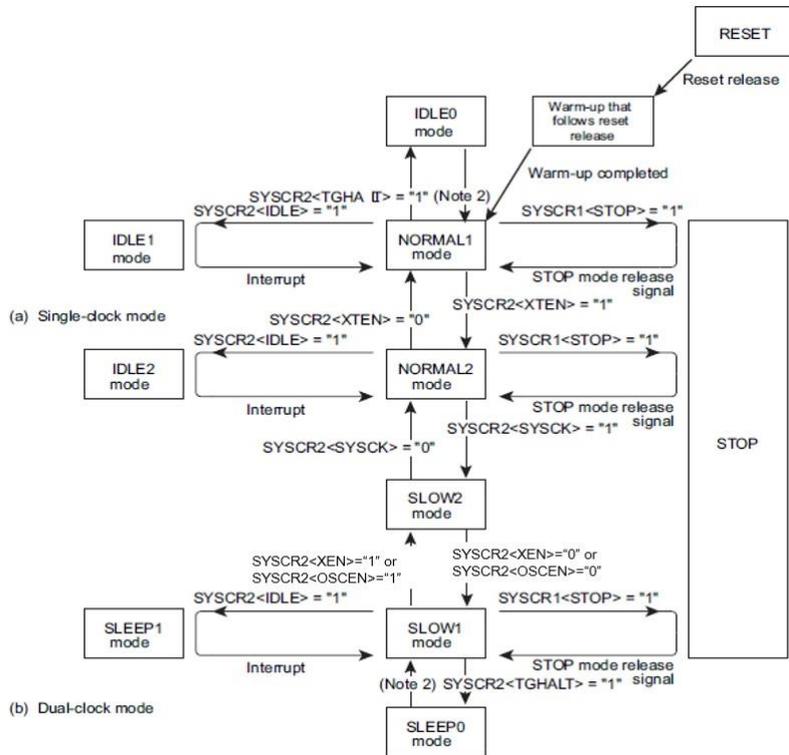


图 4.3 工作模式转换图

工作模式		振荡器线路		中央处理器 CPU	WDT WDT2	时基 定时器	其他 外围线路	机器 周期时间		
		高速	低速							
单时钟	复位	开启	停止	复位	复位	复位	复位	1/fcgck 秒		
	普通 1			工作	工作	工作	工作			
	空闲 1			工作	工作	工作	工作			
	空闲 0			工作	工作	工作	工作			
	停止	停止	停止	停止	停止	停止	停止			
双时钟	普通 2	开启	开启	高速	高速/低速	工作	工作	1/fcgck 秒		
	空闲 2			停止	停止				停止	停止
	低速 2			低速	低速				低速	低速
	低速 1			低速	低速				低速	低速
	睡眠 1	停止	停止	停止	停止	停止	停止	4/fs 秒		
	睡眠 0									
	停止									

表 4.1 工作模式转换表

Document No. : TD01-01-M6823-01	Document Name : MQ6823 中文产品规格书	Version : V1.1
---------------------------------	--------------------------------	----------------

注 1 : 普通 1 和普通 2 模式统称为普通模式。低速 1 和低速 2 统称为低速模式。空闲 0、空闲 1 和空闲 2 模式统称为空闲模式。睡眠 0 和睡眠 1 模式统称为睡眠模式。

注 2 : 利用 TBTCR<TBCK>设定的时钟源下降沿切换工作模式。

Document No. : TD01-01-M6823-01	Document Name : MQ6823 中文产品规格书	Version : V1.1
---------------------------------	--------------------------------	----------------

附录 A. 在线编程功能 ISP

MQ6823 具有在线编程(ISP)功能。用户可以此功能结合 iMQ 的调试仿真器 MQ-Link 进行系统电路板上之软件调试(degugging)。此仿真器可由 PC 上安装之调试软件进行操控，不论应用软件修改或系统设计调整均可藉此实现。

本章节说明在线编程(ISP)功能所需之控制引脚、及如何连接目标系统(target system)。

仿真器/开发板与范例程序相關資訊，请参考汉芝电子网站说明

仿真器/开发板网址：http://www.imqtech.com/zh-hant/tech/tool/mqlink_tsb

控制引脚

在线编程(ISP)功能共使用 2 个通讯引脚及 3 个电源与复位相关引脚。脚位资讯如表 A.1 所示。其中，P40 与 P41 端口用于在线编程(ISP)功能之通讯引脚。

引脚名称 (执行ISP功能期间)	输入/输出	功能描述	引脚名称 (MCU模式下)
ISPCLK	输入	通讯引脚 (时钟控制)	P40/AIN0/KWIO
ISPDIO	输入/输出	通讯引脚 (数据控制)	P41/AIN1/KWII
RESETB	输入	Reset control pin	RESETB
VDD	电源	5.0V	2.0V to 5.5V
VSS	电源	0V	

表 A.1 在线编程(ISP)功能所使用之引脚

如何将 MQ-Link 调试器连接至目标系统

欲使用在线编程(ISP)功能，必须将目标系统上之特定引脚连接至 MQ-Link 调试器。iMQ 将提供连接目标系统与 MQ-Link 调试器之控制缆线。在目标系统安装此缆线可使在线编程(ISP)功能更佳简易。相关连接如图 A.1 所示。

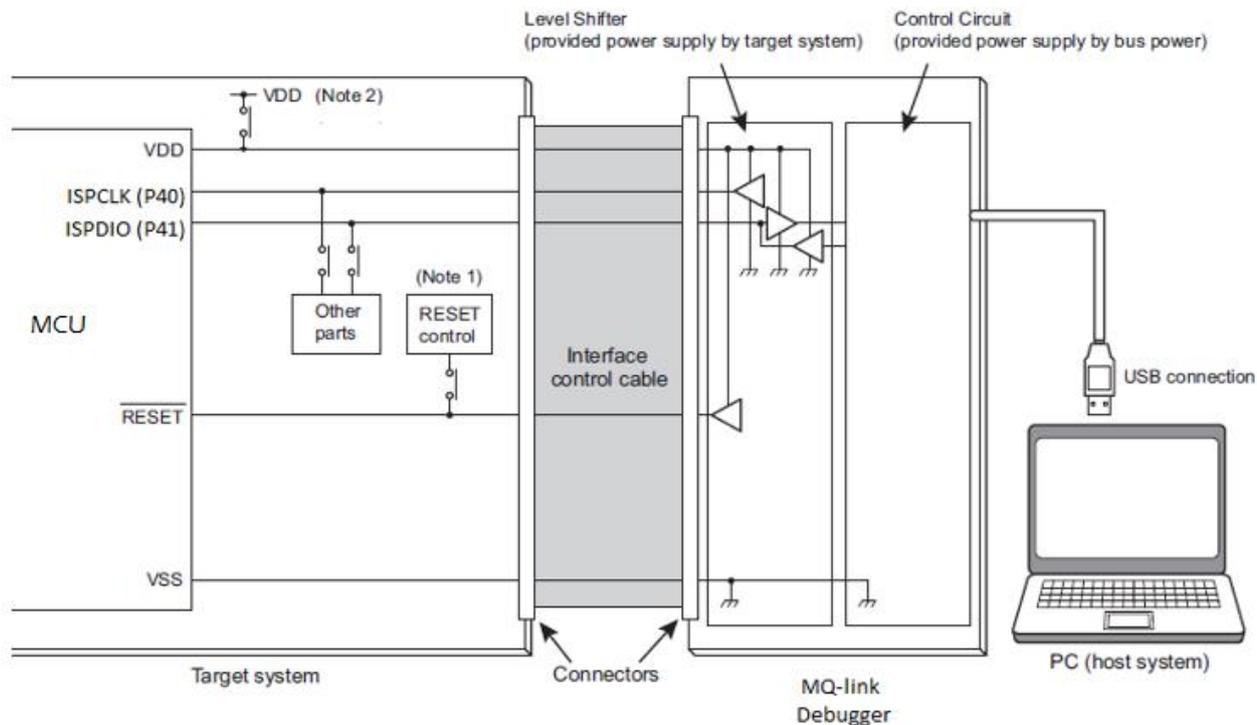


图 A.1 如何将 MQ-Link 调试器连接至目标系统

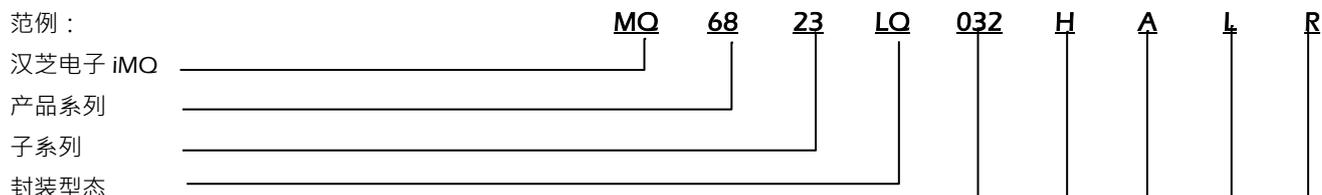
注 1：如果系统应用板上之复位控制电路会影响线编程(ISP)功能的控制，请务必以跨接器或开关等断开。

注 2：执行在线编程(ISP)功能时，目标系统之 MCU 电源 VDD 由 MQ-Link 调试器直接提供。在线编程(ISP)完成后，MCU 即可使用目标系统之电源。

注 3：有关 MQ-Link 的使用细节，参阅“iMQ i87 IDE 使用手册”。

附录 B. 产品型号信息

范例：



代码	封装	代码	封装
ST	SOT23	SD	SDIP
SP	SOP	LQ	LQFP 7x7
MS	MSOP	LA	LQFP 10x10
SS	SSOP	LE	LQFP 14x14
DP	PDIP	N4	QFN 4x4
TS	TSOP	N5	QFN 5x5
DS	TSSOP		

脚位数

代码	封装	代码	封装
005	5	032	32
006	6	036	36
008	8	040	40
010	10	044	44
014	14	048	48
016	16	064	64
020	20	080	80
024	24	096	96
028	28	100	100

程序内存容量

数据内存容量

数据存储器容量

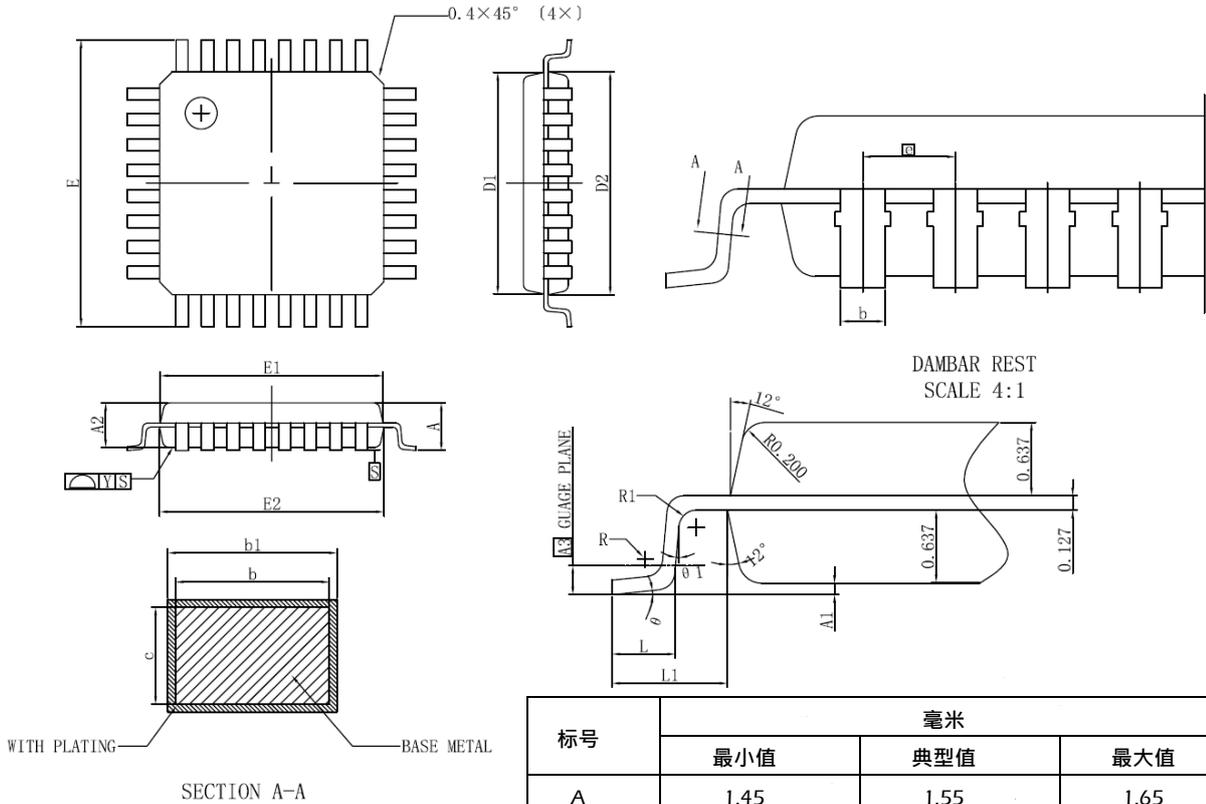
代码	程序/数据内存容量 数据存储器容量	代码	程序/数据内存容量 数据存储器容量
A	128 Bytes	K	24K Bytes
B	256 Bytes	M	32K Bytes
E	512 Bytes	N	40K Bytes
J	1K Bytes	P	48K Bytes
L	2K Bytes	S	64K Bytes
T	4K Bytes	U	96K Bytes
G	8K Bytes	W	128K Bytes
C	12K Bytes	V	無
H	16K Bytes		

工作温度

代码	工作温度
R	-40~85°C
X	-40~105°C
T	-40~125°C

附录 C. 封装信息

LQFP 32 (产品型号: MQ6823LQ032HALR)



标号	毫米		
	最小值	典型值	最大值
A	1.45	1.55	1.65
A1	0.01	-	0.21
A2	1.3	1.4	1.5
A3	-	0.254	
b	0.30	0.35	0.40
b1	0.31	0.37	0.43
c	-	0.127	-
D1	6.85	6.95	7.05
D2	6.9	7.00	7.10
E	8.8	9.00	9.20
E1	6.85	6.95	7.05
E2	6.9	7.00	7.10
e	-	0.8	-
L	0.43	-	0.71
L1	0.90	1.0	1.10
R	0.1	-	0.25
R1	0.1	-	-
θ	0	-	10°
θ1	0	-	-
y	-	-	0.1
Z	-	0.70	-

附录 D. 使用注意事项

仿真器與開發板相關資訊，请参考汉芝电子网站说明

网址：http://www.imqtech.com/zh-hant/tech/tool/mqlink_tsb

(A) 脚位相关

1. 因 P80 与 P81 无上拉与下拉电阻，若未使用 P80 与 P81 时，请将此两管脚设定成输出(output)，以避免在停止模式(STOP mode)下有额外的电流造成功耗增加。
2. 在使用 P2 端口开漏输出寄存器 P2OUTCR 时，请注意若设定 P2OUTCR4 或 P2OUTCR3 的值为 1 时 (也就是将 P23 或 P24 这两根脚设定成开漏)，芯片的工作电流因为有包含来自 P23 或 P24 的 I/O 漏电，造成 STOP 模式下的功耗会增加数十微安(uA)。
3. P10 引脚稳定地位于高电平时，才可进行由外部复位输入引脚切换到 IO 引脚，或是由 IO 引脚切换到外部复位输入引脚的功能切换操作。在 P10 引脚处于低电平时，进行引脚功能的切换可能会导致复位。
4. 晶振在板子上的位置必须尽可能靠近 MCU。
5. 在唤醒操作开始后，就算外部唤醒引脚的输入电平和释放所需电平相反，系统不会再重启停止模式。
6. P2,P7 内置上拉与下拉电阻只有在唤醒输入 KWLi(i=0~7,12~15)被允许或端口处于输入模式下(P2FCi="0"与 P2CRi="0")或(P7FCi="0"与 P7CRi="0")会连接内置上拉电阻。其他条件下，将 P2PUI 或 P7PUI (i=0~7)设定为"1"仍不会连接内置上拉电阻。如果 P2PUX 与 P2PDX(或 P7PUX 与 P7PDX)同时被设定为"1"时，端口将只连接至上拉电阻。(x = 7 到 0)。
7. P4 内置上拉电阻只有在唤醒输入 KWLi(i=0~7)被允许或端口处于输入模式下(P4FCi="0"与 P4CRi="0")会连接内置上拉电阻。其他条件下，将 P4PUI (i=0~7)设定为"1"仍不会连接内置上拉电阻。P4 内置下拉电阻，只在输入模式下连接。在其他条件下 P4PDI(i=0~7)设定为"1"都不会连接此下拉电阻。当唤醒输入 KWLi(i=0~7)被允许时，下拉电阻会被关闭。如果 P4PUX 与 P4PDX 同时被设定为"1"时，端口将只连接至上拉电阻。(x = 7 到 0)。

(B) 模式及时钟切换相关

1. 在停止时间内(从停止模式启动到系统唤醒完成)，中断锁存器可能因外部中断引脚信号的改变而被设定在"1"，进而造成系统在脱离停止模式后马上中断。为避免此问题，启动停止模式前建议停用所有中断。如果脱离停止模式后要允许任何中断，先清空不需使用的中断锁存器。
2. POFC0 为"0"时，设定 SYSCR2<XEN>为"1"会导致系统时钟重置。
3. 切换速度时，先设好要设定的速度(时钟)，再关闭原本的速度(时钟)。
4. 在低速模式下，不要改变 CGCR<FCGCKSEL>。
5. SYSCR2<XEN>设定为"1"时，将 POFC0 设定为"0"会引发系统时钟复位。若 P00 或 P01 不作端口使用，POFC0 必须设定为"1"。

(C) ADC 相关

1. 在单次模式中，不要在 AD 转换进行中读取 ADCDRL 或 ADCDRH。若单次 AD 转换在读取 ADCDRL 和读取 ADCDRH 的操作间完成，INTADC 中断要求会被取消，造成转换结果遗失。
2. 在读取 ADC 暂存器 ADCDRL 与 ADCDRH 时，必须先读 ADCDRL、再读 ADCDRH，并且不要只读取 ADCDRL 而不读取 ADCDRH。这是因为如果先读 ADCDRH 再读 ADCDRL 时，并不会清除 ADCCR2<EOCF>，所以就不会产生 ADC 中断。

(D) Timer 相关

1. 对 TAODRAL (TAODRBL)进行写入指令时，设定值会先存储于暂时寄存器 中，而不会立即生效。而后，写入

Document No. : TD01-01-M6823-01	Document Name : MQ6823 中文产品规格书	Version : V1.1
---------------------------------	--------------------------------	----------------

高位寄存器 TA0DRAH(TA0DRBL)时，16 位设定值将共同存储于双缓冲寄存器 或 TA0DRAL/H。在设定定时器计数器 A0 寄存器时，要确认先写入低位寄存器、再写入高位寄存器。

(E) LVD 相关

1. 由于电压检测所使用之比较器不包含滞后架构，当供应电压(VDD)接近检测电压(VDxLVL)时，可能频繁产生电压检测中断(INTLVD)要求信号。因为供应电压(VDD)降低至检测电压与回升至检测电压，皆会产生电压检测中断(INTLVD)要求信号。

(F) 中断相关

1. 在中断服务程序中，IMF 会自动变为“0”。若在中断服务程序中使用多个中断，在设定 IMF 为“1”前须先控制 IL。
2. 如果在中断服务程序中使用多个中断，在设定每个 EF 后，记得要设定 IMF 为“1”。

(G) I2C 相关

1. 使用 I2C 功能前，相关寄存器请如下设定：
 - 低功耗寄存器 1 (POFFCR1)：使用及设定 I2C 必须先设定 POFFCR1<SBI0EN>为‘1’，在此之前相关设定为无效，请重新设定。
 - P2 端口开漏输出寄存器 (P2OUTCR)：使用 I2C 时请设定 P2OUTCR3 及 P2OUTCR4 为‘1’。
 - P2 端口输出锁存寄存器 (P2DR)：使用 I2C 时请设定 IO 输出为‘0’，否则无法正常工作。

(H) 外部晶振相关

- 1.晶振在板子上的位置必须尽可能靠近 MCU。
2. XIN/XOUT 引脚已有内置电容(容值各约 6pF)。请依所选用之谐振器/振荡器特性、所需之时钟精准度、与系统电路板设计，设计负载电容的容值。
- 3.在使用外部晶振且振荡频率为 16MHz 时，若对 MCU 的 EFT 有较高需求时，建议采用以下方式有较佳的 EFT 能力 (系统板上的 VDD 与 VSS 之间已经至少有 10uF 并联 0.1uF 的电容):
 - (a)改采用内部晶振 16MHz，最建议采用此方法，因为 EFT 特性较优异。
 - (b)若仍必须要采用外部晶振，建议将系统时钟除频设为 2，也就是在 8MHz 下运行。但此方法的 EFT 可能没有以上方法(a)来得优异。
 - (c)若仍必须要采用外部晶振，而且必须要在 16MHz 下运行而不能除频，建议在 MCU 的 VDD 与 VSS 之间加上 30uF 并联 0.1uF 的电容，不过此方法的 EFT 没有以上方法(a)与(b)来得优异。